

Tentamen Geïntegreerde Systemen

Datum: donderdag 26 augustus 2004

Tijd: 09.00 – 11.00 uur

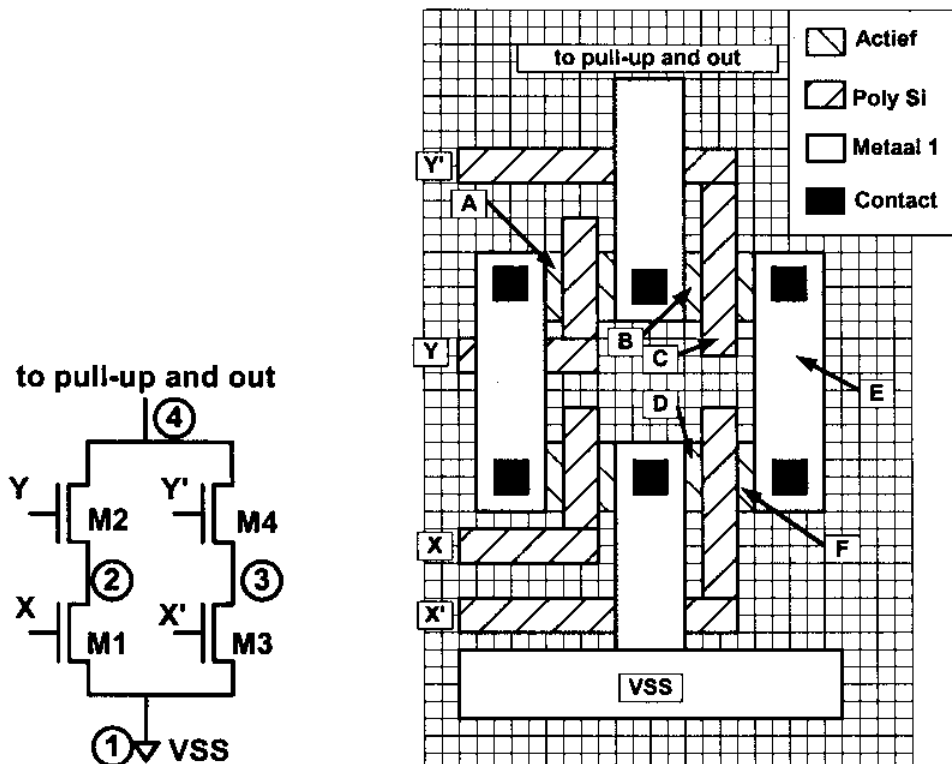
Naam: <i>Vitwerkingen</i>	Studienummer:	Cijfer
---------------------------	---------------	--------

Lees dit eerst

- Vul je naam en studienummer in in de vakjes hierboven en op de oneven bladzijden.
- Dit tentamen is een "open boek" tentamen.
- Het gebruik van een rekenmachine is toegestaan.
- Voor de multiple-choice vragen geldt: omcirkel of vink het juiste antwoord.
- Vul je antwoorden in de daarvoor gereserveerde ruimten in. Eventueel kun je extra bladen gebruiken die je dan duidelijk van je naam en studienummer moet voorzien.
- Geef voor de antwoorden steeds een korte verklaring en geef, waar van toepassing, in grafieken de relevante waarden steeds duidelijk aan! Let steeds op de eenheden (prefixes of 10^x)!
- Prefixes: micro (μ) = 10^{-6} , nano = 10^{-9} , pico = 10^{-12} , femto = 10^{-15} , atto = 10^{-18}
- De transistorparameters komen uit de 2e editie van Rabaey en zijn samengevat op de binnenkant van de vóór- en achterflap van dat boek. Voor diegenen die het boek niet hebben, zijn er kopieën van deze bladzijden beschikbaar.

Vraag 1.

De tekening toont een mogelijke layout van het pull-down netwerk van de EXOR, alsmede het transistorschema. Inversie van logische waarden wordt aangegeven met een prime (= apostrophe = ')



- a. Teken het transistorschema van de bijbehorende duale pull-up schakeling.

Naam:

Studienummer

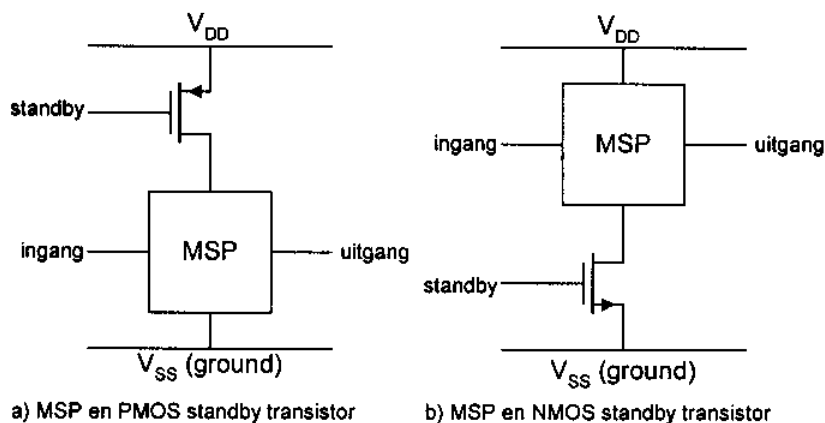
- f. Bepaalde gebieden in de layout komen overeen met bepaalde knooppunten in het schema. Geef deze correspondentie aan in onderstaande tabel. De knooppunten in het schema zijn aangegeven door een omcirkeld nummer of, voor de ingangen, door de symbolen X, X', Y en Y'. De layout-gebieden zijn aangegeven d.m.v. pijlen voorzien van de letters A t/m F. Er kunnen meerdere layout-gebieden (A t/m F) bij een knooppunt (1 t/m 4, X, X', Y, Y') horen. Er hoeft niet in alle vakjes iets ingevuld te worden.

Schema	Layout
1	D
2	A
3	E E
4	G

Schema	Layout
X	
X'	
Y	
Y'	O

Vraag 2.

Beschouw nu een schakeling die in een accu-gevoed systeem opgenomen wordt, zoals bijvoorbeeld een mobiele telefoon. Ter verlenging van accu levensduur is het van belang om de schakeling in een standby mode te kunnen zetten waarbij er geen (of zo weinig mogelijk) stroom aan de accu onttrokken wordt. Zie onderstaand principe schema. Hier duidt 'MSP' een mixed-signal-processor aan die stroomloos gemaakt moet worden, de functie van dit onderdeel doet er verder niet toe. Dit onderdeel kan stroomloos gemaakt worden door met een transistor te schakelen in de V_{dd} of V_{ss} (aarde=ground) aansluiting van de MSP. Zie onderstaande figuur voor de twee alternatieven.



N.B.
dit zijn de
elca symbolen
voor PMOS (links)
en NMOS (rechts)

De standby transistor, zowel in schakeling a) als b), moet de maximaal benodigde stroom voor de MSP zonder noemenswaardige spanningsval over deze transistor kunnen voeren. De MSP, inclusief de standby transistoren, wordt gemaakt in de $0,25 \mu\text{m}$ technologie uit de 2e editie van Rabaey. Ga uit van de transistorparameters van de binnenkant achterflap (of bijlage). De voedingsspanning is $2,5\text{V}$.

Beschouw nu schakeling a) (met de PMOS transistor).

Gevraagd:

- a. In welk werkgebied staat de transistor als standby = 0 (oftewel, de gate van de PMOS is laag) en $|V_{ds}| < 0,1\text{V}$?

het is een
PMOS

Werkgebied:

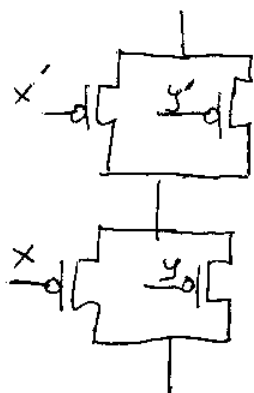
lineair

Verklaring: Er geldt: $V_{gs} = -5\text{V}$ $V_{dsat} = -1\text{V}$ $V_T = V_{TO}$ want $V_S = V_{DD}$
Dus: $|V_{ds}| < |V_{gs}| - |V_T|$
 $|V_{ds}| < |V_{dsat}|$ } \Rightarrow lineair.
(absoloute-waarde strepen i.v.m. PMOS)

- b. Bepaal de minimale breedte van de PMOS transistor (bij $L=0,25 \mu\text{m}$), zodanig dat $|V_{ds}| < 0,1\text{V}$ bij $|I_{ds}| = 10\text{mA}$.

(2)

Schema pull-up



NB

1. let op de doorsverbinding
2. er zijn diverse verwisselingen (bv. x en y boven en x' y' beneden) mogelijk

- b. Een layout moet altijd aan bepaalde ontwerpregels (design rules) voldoen. Leg uit wat voor soort regels dit zijn en waarom deze regels gebruikt moeten worden.

Soort regels:	Dere regels geven minimum (en soms maximum) afmetingen waaraan de geometrie moet voldoen
Reden:	De regels waarborgen dat het ontwerp ook daadwerkelijk met voldoende hoge yield (opbrengst) geproduceerd kan worden.

- c. Stel dat de uitgang van dit pull-down netwerk belast wordt met $C = 50 \text{ fF} = 0.05 \text{ pF}$. Bereken dan de worst-case propagatietijd voor een hoog-laag overgang, t_{pHL} . Ga uit van de transistorafmetingen zoals gegeven door de layout. Je mag rekenen met R_{eq} ; je hoeft niet de stroomformules toe te passen. geen kerkleiningen e.d.

$t_{\text{pHL}} = 450 \text{ ps}$

Berekening: $R_{\text{eq}0} = 13 \text{ k}\Omega$; $\frac{W}{L} = 2$; 2 in serie $\Rightarrow R_{\text{eq}} = 13 \div 2 \times 2 = 13 \text{ k}\Omega$
 $t_{\text{pHL}} = \ln(2) R_{\text{eq}} C_L = 0.69 \times 13 \times 50 \cdot 10^3 \cdot 10^{-15} = 450 \text{ ps}$

- d. Welke van de transistoren M_1 en M_2 in het transistorschema kan last hebben van het bodyeffect?

<input type="checkbox"/> M_1	<input checked="" type="checkbox"/> M_2
Verklaring: Het body effect ontstaat als de source spanning niet gelijk is aan de bulkspanning. Dit is alleen bij M_2	

- e. Welk effect heeft het body-effect op de snelheid van de schakeling? (Wordt de snelheid hoger of lager door het body effect?)

<input type="checkbox"/> hoger	<input checked="" type="checkbox"/> lager
Verklaring: Omdat $V_s > 0$ zal V_{os} en V_{gs} afnemen. Ook zal V_T toenemen. Omdat V_{gs} afneemt en V_T toeneemt, neemt $V_{\text{gs}} - V_T$ af.	

Omdat V_{os} en $V_{\text{gs}} - V_T$ afnemen, neemt I_D af.
 Dus langzamer.

(3)

$$W_{\min} = 417 \mu\text{m}$$

Berekening: $I_D = 10 \cdot 10^{-3}$ $k' = 30 \cdot 10^{-6}$ $V_{GS} = -2.4$ $V_{DS} = -0.1$ $V_T = -0.4$

$$I_D = k' \frac{W}{L} \left((|V_{GS}| - |V_T|) |V_{DS}| - \frac{V_{DS}^2}{2} \right) \Rightarrow \frac{W}{L} = 1667$$

met $L = 0.25 \mu\text{m}$ volgt $W_{\min} = 417 \mu\text{m}$

- c. Waarom moet je bovenstaande berekening doen m.b.v. de stroomformule(s) van de transistor en kun je niet werken met R_{eq} ?

Verklaring:

R_{eq} is geoptimaliseerd voor een goede voorspelling van de switching time (het transient gedrag). Dit betekent een relatief grote spanningsruwheid, waartoe R_{eq} een gemiddelde waarde aanneemt van een sterk niet-lineair effect. Voor bovenstaande schakeling is V_{DS} juist constant (en klein).

- d. Waarom is het van belang om de standby transistor (en in het algemeen de hele schakeling) zo klein mogelijk te maken?

Verklaring

Een klein oppervlak betekent een lagere prijs, ook omdat er minder uitval is.

Moderne IC fabricage processen bieden soms een keuze voor de drempelspanning van de transistoren. Neem nu aan dat er de volgende mogelijkheden zijn, genaamd 'Standaard' en 'low- V_T '.

	NMOS		PMOS	
Standaard	NMOS1	$V_{T0} = 0.43\text{V}$	PMOS1	$V_{T0} = -0.4\text{V}$
low- V_T	NMOS2	$V_{T0} = 0.3\text{V}$	PMOS2	$V_{T0} = -0.3\text{V}$

Verder zijn alle transistorparameters gelijk aan de standaardparameters voor NMOS en PMOS uit de 2^e editie van Rabaey, de low- V_T transistoren verschillen alleen wat betreft de drempelspanning van hun 'standaard' tegenhangers.

- e. Gevraagd: Met welk type transistor kan de standby-transistor het kleinste worden?

<input type="checkbox"/> NMOS1 (standaard)	<input checked="" type="checkbox"/> NMOS2 (low V_T)	<input type="checkbox"/> PMOS1 (standaard)	<input type="checkbox"/> PMOS2 (low V_T)
---	---	---	--

Verklaring:

Een low- V_T transistor kan bij gelijke afmetingen meer stroom leveren, omdat $V_{GS} - V_T$ groter is. Ook kan bij gelijke afmetingen en $|V_{GS}| - |V_T|$ een NMOS meer stroom leveren dan een PMOS (vanwege de hogere μ).

Einde

(4)