

Trigger window = 424 mV

Berekening: Ruis signaal gespecificeerd als eff. waarde
0,3% overschrijdingskans $\rightarrow 3\sigma \rightarrow \Delta U = 3\sqrt{2} \cdot 100 \text{ mV}$
d.i. afstand boven en onder level = window (blz 190)

De interne oscillator is in een oventje geplaatst waarmee de werktemperatuur op $80 \pm 2^\circ\text{C}$ wordt gehouden. De interne oscillator wordt eenmaal per jaar gecalibreerd met onnauwkeurigheid $\Delta f_{osc}/f_{osc} = 10^{-7}$. De temperatuurgevoeligheid bedraagt $\partial f_{osc}/\partial T = 0,2 \text{ Hz}/^\circ\text{C}$ en de veroudering $\partial f_{osc}/\partial t = 0,1 \text{ Hz/maand}$.

f) Bepaal de best mogelijke resolutie van de periodetijdmeting indien de gebruiker niet weet wanneer de laatste calibratie heeft plaatsgevonden.

Best mogelijke resolutie:

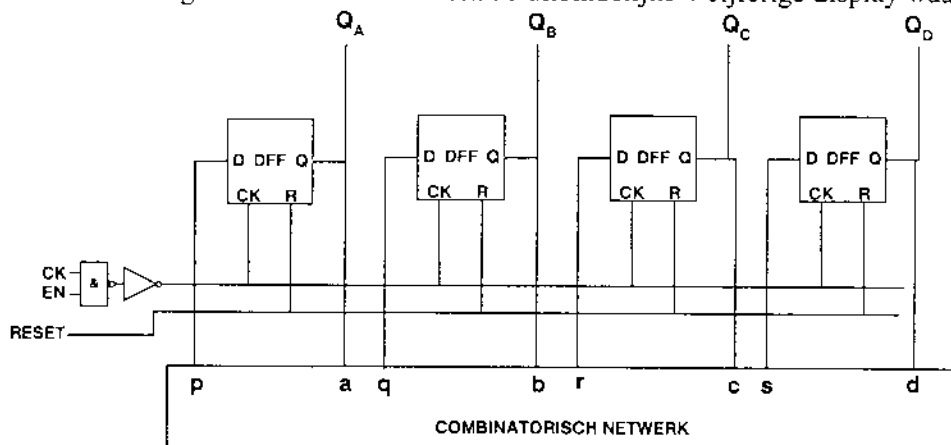
Verklaring: Resolutie: (zie c) = $1/f_{ck} = 10^{-7} \text{ s} \Rightarrow 1 \text{ fF}$

Onnauwkeurigheid:
$$\Delta f = \left(\frac{\Delta f_{osc}}{f_{osc}} \right)_{cal} f_{osc} + \left(\frac{\partial f_{osc}}{\partial T} \right) \Delta T + \left(\frac{\partial f_{osc}}{\partial t} \right) \Delta t = 10^{-7} * 10^7 + 0,4 + 1,2 = 2,6 \text{ Hz}$$

 $\Delta f/f_{osc} = 26 \cdot 10^{-8} \rightarrow$ goed gedimensioneerd

2. BCD Teller (31 punten)

De 'TELLER' uit figuur 1 kan het best gerealiseerd worden als een zgn. BCD teller. Hieronder is één zogenaamde BCD teller sectie weergegeven. BCD staat voor 'Binary Coded Decimal', dwz de cijfers 0-9 in binair formaat. Iedere sectie is een synchrone 4-bit teller die telt van 0-9, en bij de volgende clockpuls weer bij 0 begint, etc. Er is een BCD teller sectie voor ieder cijfer op het display. Er behoren 4 van zulke teller secties in cascade geschakeld te worden om de uiteindelijke 4-cijferige display waarde te produceren.



Zo'n BCD teller sectie werkt als volgt. Q_A is het meest laagwaardige bit, en Q_D het meest hoogwaardige bit. Het blok 'combinatorisch netwerk' heeft vier ingangen a-d en 4 uitgangen p-s. De ingangen zijn verbonden met de Q-uitgangen van de flip-flops en de uitgangen met de D-ingangen van de flip-flops. Dit combinatorische netwerk zorgt ervoor dat de teller de juiste standen doorloopt, dwz 0-1-2-3-4-5-6-7-8-9-0-1... etc, door de juiste D-ingangen aan de flip-flops aan te bieden afhankelijk van de teller stand. Je hoeft het volgende niet te controleren, maar er kan gelden (inverse wordt aangegeven met een apostrophe '):

$p = a'$ $q = a'b + ab'd'$ $r = b'c + abc' + a'bc$ $s = a'b'c'd + abcd'$
--

De schakeling zal voorzien worden van een RESET ingang; een puls op deze ingang zorgt ervoor dat de teller in de 0-stand wordt gezet.

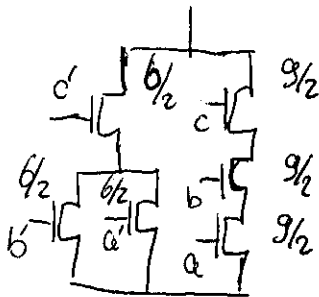
We kijken eerst naar het combinatorische netwerk. Een alternatieve formule voor het signaal r is als volgt:

$$r = (a'c' + b'c' + abc)'$$

2.1. Gevraagd:

- a) Teken het transistor schema van het pull-down netwerk van een and-or-invert gate wat bovenstaande alternatieve formule voor r realiseert. Neem aan dat ook de inverse signalen a' , b' en c' beschikbaar zijn. Een oplossing met 6 transistoren kan 4 punten opleveren, een oplossing met 7 transistoren maximaal 3 punten.

Schema:



- b) Dimensioneer het pull-down netwerk zodanig dat de equivalente sterkte (*drive-strength*) gelijk is aan die van een invertor met minimale afmetingen. Geef W en L bij (naast) iedere transistor in bovenstaand schema, en geef hieronder de berekeningen.

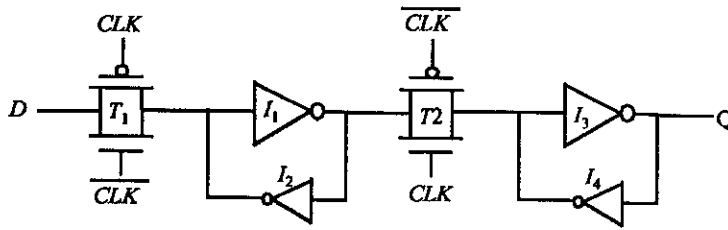
Berekeningen: wil minimum transistor is $3/2$

2 transistoren in serie (pad $b'c'$ en $a'c'$) vragen dan om transistoren met dubbele breedte $\Rightarrow \frac{W}{L} = 6/2$

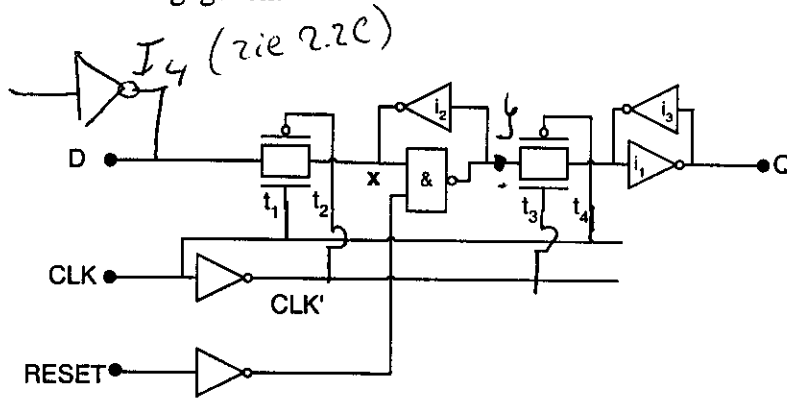
3 transistoren (pad $a'bc$) in serie: 3 dubbele breedte $\Rightarrow \frac{W}{L} = 9/2$

zie oefensessie 5 van 17/5/2002

We kijken vervolgens naar de flip-flops. De flip-flops die we zullen gebruiken zijn een variant op de zogenaamde 'Ratioed Reduced Clock Load Register' (figuur R2 7.18) zoals ook hieronder weergegeven, zodanig dat de uitgang verandert op de neergaande klok flank.



Onze variant is hieronder weergegeven.



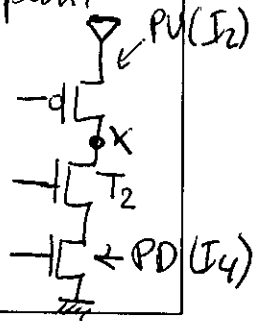
2.2. Gevraagd:

- Van deze schakeling ontbreken de verbindingen van $t_1 - t_4$ met CLK en CLK'. Voeg deze toe (teken ze erbij in bovenstaande figuur), zodanig dat de uitgang Q verandert op de neergaande klokflank.
- Wat is de functie van de invertoren i_2 en i_3 (in het tweede schema, onze variant van de flip-flop)?

Deze invertoren zorgen ervoor dat de logische waarden op punten x en y (zie tekening hierboven) vastgehouden worden als t_1/t_2 resp t_3/t_4 uit zijn. Anders kunnen deze punten hun logische waarde verliezen door lekstroom. Level Restoration.

- Stel dat de D-ingang van onze flip-flop gestuurd wordt door een minimum-size inverter, en ook dat de transmissie-gate transistoren de minimum afmetingen hebben. Teken dan hieronder het equivalente transistorschema wat zorgt voor de hoog-naar-laag overgangen op het punt x. Geef van de 2 bekende transistoren (die van de sturende inverter en de transmissiegate) de afmetingen van de transistoren in λ . **Tip:** het schema bevat 3 transistoren. Let op het type. Noteer de afmetingen (W en L) naast de transistoren.

Het relevante deel van het schema is I_4 (zie tekening boven 2.2 op vorige bladzijde), t_1/t_2 en I_2 . Het punt x wordt naar beneden getrokken door de pull-down van I_4 en de T_1 in serie. Tegelijkertijd wordt punt x naar "1" getrokken door de pull-up van I_2 . Dus voor een "1 \rightarrow 0" overgang moeten de pull-down van I_4 en T_2 samen sterker zijn dan de pull-up van I_2 .



- d) Bepaal de minimum afmetingen van de derde transistor zodanig dat het punt x beneden $V_{DD}/2$ getrokken kan worden.

$$W = 5.6 \lambda \quad L = 2 \lambda$$

Berekening:

De configuratie waar de pull-down van 'x' werkt als een ratioed pseudo-nmos inverter (we modelleren de 2 pull-down transistoren in serie als één equivalente transistor met $(\frac{W}{L})_{pd} = \frac{3}{4}$). Rondom $V_x = V_{DD}/2$ zijn alle transistoren in het verzadigingsgebied. Verzadigingsstromen gelijk stellen.

$$k'_n \left(\frac{W}{L}\right)_{pd} \left((V_{DD} - V_{tn}) V_{SATn} - \frac{(V_{SATn})^2}{2} \right) = k'_p \left(\frac{W}{L}\right) \left((V_{DD} - V_{tp}) V_{SATp} - \frac{(V_{SATp})^2}{2} \right)$$

Invullen van $(\frac{W}{L})_{pd} = \frac{3}{4}$ en waarden uit tabel 3.2 (formuleblad) geeft antwoord.

2.3. **Gevraagd:**

Zie p. 285 van hfdst 7, juist beneden Figuur 7.18

- a) Is het kritieke pad in bovenstaande tellersectie afhankelijk van het aantal bits van deze tellersectie? Motiveer je antwoord.

Kritieke pad is ~~wel~~ niet afhankelijk van het aantal bits

Motivatie:

Sedere flip-flop zal schakelen op de klok-flank.

3. Schmitt-trigger (31 punten)

We beschouwen nu het blokje 'comp' uit figuur 1 op bladzijde 1. Dit is een **Schmitt-trigger** (= comparator met hysteresis). Veronderstel dat we deze willen ontwerpen met een **trigger window van 1 volt** rond een **trigger level van 1 volt**. We kiezen daartoe één van onderstaande elektronische schakelingen, bestaande uit een operationele versterker (opamp) en vier weerstanden R_1 , R_2 , R_3 en R_4 . De overdrachtsparameters van de opamp, te weten μ , γ , ζ en α , mogen oneindig verondersteld worden. Veronderstel tevens dat het signaal afkomstig van de regeneratieve oscillator **zuiver driehoekvormig, met gemiddelde waarde 1 volt en amplitude 1 volt** is en gemodelleerd kan worden middels een ideale spanningsbron (dus met bron-