

Vul op alle formulieren die u inlevert uw naam en studienummer in.

## Tentamen Elektronische Schakelingen

Datum: vrijdag 28 juni 2002  
Tijd: 09.00-12.00

uitwerkingen

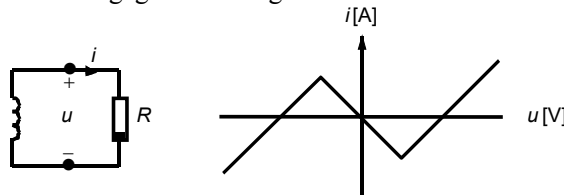
Naam:	Studienummer:	Cijfer
-------	---------------	--------

### Lees dit eerst

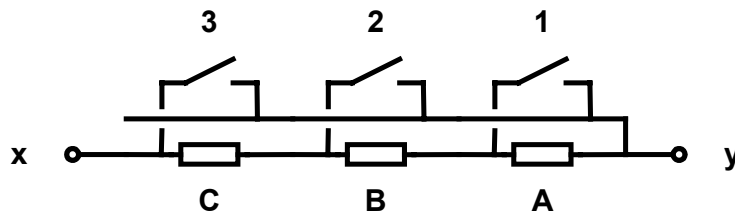
- Vul uw naam en studienummer in in de vakjes hierboven.
- Dit tentamen is een "open boek" tentamen. Het gebruik van een rekenmachine is toegestaan.
- Vul uw antwoorden in de daarvoor gereserveerde ruimten in. Eventueel kunt u extra bladen gebruiken die u dan duidelijk van uw naam en studienummer moet voorzien.
- Geef voor de antwoorden steeds een korte verklaring en geef, waar van toepassing, in grafieken de relevante waarden steeds duidelijk aan! Let steeds op de eenheden (prefixes of  $10^{-x}$ )!
- Prefixes: micro ( $\mu$ ) =  $10^{-6}$ , nano =  $10^{-9}$ , pico =  $10^{-12}$ , femto =  $10^{-15}$ , atto =  $10^{-18}$
- Zie ook de aangehechte designdata tabellen voor geïntegreerde systemen. Niet alle tabellen heb je nodig. Ze staan ook in Rabaey draft 2<sup>e</sup> editie.

### Inleiding

Er zijn heel veel toepassingen die vragen om een regelbare oscillator, en heel veel realisatiemogelijkheden. In dit tentamen gaan we een geïntegreerde digitaal regelbare regeneratieve oscillator maken, uitgaande van het principe weergegeven in onderstaand schema. Hier is  $R$  een niet-lineaire resistentie met een  $u$ - $i$  karakteristiek zoals aangegeven in de grafiek.



Spoelen zijn weliswaar integreerbaar op een chip, maar niet regelbaar. Als oplossing wordt gekozen voor de realisatie van de regelbare inductantie met behulp van een vaste capaciteit en een regelbare gyrator. De gyrator wordt regelbaar gemaakt met een digitaal instelbare weerstand. Voor deze weerstand zijn ook weer verschillende alternatieven mogelijk, waaronder die van een aftakbare interconnect weerstand. Het prinsipeschema is als volgt.



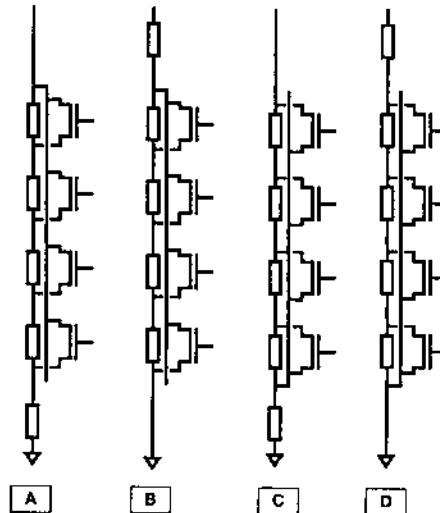
Het schema toont drie weerstanden A-C, alle drie met waarde  $R$ , en drie schakelaars 1-3. Wanneer alle schakelaars open zijn, is de weerstand tussen de klemmen  $x$  en  $y$  gelijk aan  $3R$ . Wanneer schakelaar 1 gesloten is (en alle anderen open), wordt weerstand A kort gesloten en is de resulterende weerstand tussen  $x$  en  $y$  gelijk aan  $2R$ . Wanneer schakelaar 2 gesloten is (en alle anderen open) is de weerstand  $1R$ , etc. We zullen bovenstaand prinsipeschema gaan realiseren met actieve componenten. De ontwerpoverwegingen moeten leiden naar een zo gunstig mogelijke realisatie, waarbij de zowel de lineariteit als de parasitaire capaciteit van de weerstand tussen  $x$  en  $y$  van belang is.

## 4. Digitaal regelbare weerstand (31 punten)

Technologie gegevens voor deze vraag komen uit Rabauy draft 2<sup>e</sup> editie, en zijn gedeeltelijk ook te vinden op het aangehechte designdata blad.

Om de oscillatie-frequentie regelbaar te maken dient, in de gekozen opzet, de inductantie  $L$  regelbaar te zijn. Dit impliceert weer dat de gyratiweerstand  $R$  en dus de transconductantie-factor  $G$  en dus de resistentie in het tegenkoppelnetswerk regelbaar moeten zijn. Stel voor het vervolg dat deze resistentie regelbaar moet zijn tussen (ongeveer) 140 en 300  $\Omega$ , in 8 stappen van 20  $\Omega$ .

Het prinsipeschema van de afgetakte weerstand uit de inleiding gaan we nu realiseren met actieve (geïntegreerde) componenten, en we houden ook rekening met het vaste deel van de weerstand. Zie onderstaand schema. Het toont vier mogelijke varianten van het afgetakte weerstandsnetwerk. Voor de overzichtelijkheid zijn steeds 4 aftaksecties getekend. Dat illustreert het principe net zo goed, maar de eigenlijke vragen gaan over situaties met 8 aftaksecties. De varianten verschillen in de plaats van de vaste weerstand (dat stuk wat niet afgetakt moet worden) en de plaats van de gemeenschappelijke aansluiting van de transistoren aan het weerstandsnetwerk. De bovenste aansluitingen zijn signaalpunten, en de driehoekjes onderaan vertegenwoordigen 'aarde'. (Een zijde van de weerstand is dus geaard.) Belangrijke ontwerpoverwegingen zijn de lineariteit en de relevante parasitaire capaciteit van de schakeling.

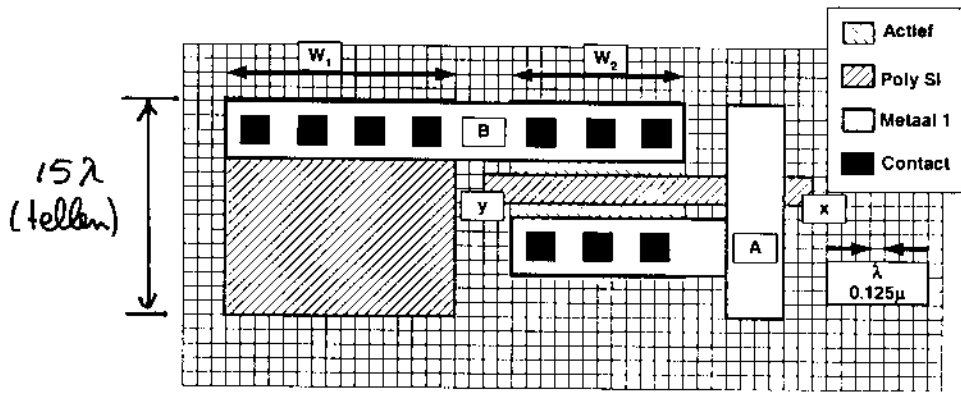


4.1 *Gevraagd:* Uitgaande van de bovenstaande ontwerpoverwegingen en realisatiemogelijkheden voor de afgetakte weerstand, welke variant heeft de voorkeur? Verklaar uw antwoord.

Variante D heeft de voorkeur. Verklaring:

D is de enige configuratie met alle source aansluitingen aan aarde. Dat is gunstig voor de lineariteit omdat er geen body-effect is, en gunstig voor de capaciteit omdat de drain capaciteit kortgesloten wordt naar aarde en dus geen rol speelt.

Voor een aftaksectie is onderstaande layout ontworpen. Deze secties kunnen verticaal op elkaar gestapeld worden om zo tot 8 secties te komen. Het polysilicium is zogenaamd ongesilicideerd met een weerstand van  $150\Omega/\square$ . De breedtes  $W_1$  en  $W_2$  zijn slechts schematisch weergegeven. Dat betekent dat ze nog aangepast moeten worden zodanig dat de schakeling de gewenste elektrische eigenschappen krijgt. Bij aanpassen van  $W_1$  en  $W_2$  moet natuurlijk ook het aantal contactgaten aangepast worden.



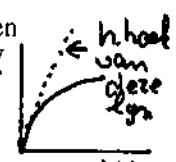
4.2 *Gevraagd:* Bepaal  $W_1$  zodanig dat de weerstand van een sectie zo goed mogelijk gelijk is aan  $20\Omega$ , en rond af op de dichtstbijzijnde gehele waarde van  $\lambda$ .

$W_1 \geq 113\lambda$   
 Berekening: De lengte  $L$  van de weerstand is  $15\lambda$  (zie tekening)

Dan:  $\frac{L \times R_a}{W_1} = \frac{15 \times 150}{W_1} = 20 \Rightarrow W_1 = 112.5\lambda \Rightarrow W_1 = 113\lambda$

Je zou willen dat als een shunt transistor aanstaat, dat de bijbehorende sectie-weerstanden compleet en ideaal overbrugd worden. Helaas is er in de praktijk een beperking m.b.t. de aan-weerstand van de transistoren, en kunnen we deze transistoren alleen maar heel breed maken om de aan-weerstand voldoende laag te maken.

4.3 *Gevraagd:* Bepaal de minimaal benodigde breedte  $W_2$  zodanig dat de aan-weerstand  $< 4\Omega$ . Reken voor de aan-weerstand van een transistor met de hellingshoek van de  $I_{DS}-V_{DS}$  curve bij  $V_{GS}=2.5V$  rondom  $V_{DS}=0$ . Ga uit van de transistorgegevens uit Rabacy 2<sup>e</sup> editie, zoals (gedeeltelijk)  $I_0$



$W_2 > 2100\lambda$   
 Berekening: effectieve (differentiaal) weerstand is 1 gedeelt door hellingshoek

$I_{DS} = k' \frac{W}{L} ((V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2)$

hellingshoek:  $\frac{dI_{DS}}{dV_{DS}} \Big|_{V_{DS}=0} = k' \frac{W}{L} (V_{GS} - V_T) = \frac{115 \cdot 10^{-6} W (2.5 - 0.43)}{2} = 1.2 \cdot 10^{-4} W$

$< 4 \Rightarrow W > 2100\lambda$

Als we willen kijken naar het dynamische gedrag van de schakeling, moeten we ons realiseren dat de afgetakte weerstand een relatief grote parasitaire capaciteit heeft. Deze ontstaat gedeeltelijk door de weerstand zelf (d.w.z. de oppervlakte en omtrek van het polysilicium gebied), maar voor een nog groter gedeelte door de parasitaire capaciteiten van de shunt (overbrugging) transistoren. Beschouw nu één sectie, zoals in de layout. De transistor in deze sectie is aan één zijde aangesloten aan het gemeenschappelijke knooppunt, en aan één zijde aan de afgetakte weerstand. De zijde van het gemeenschappelijke knooppunt wordt in de layout aangegeven met A en de zijde van de afgetakte weerstand met B.

4.4 *Gevraagd:* Geef een formule voor de totale capaciteit van één weerstandssectie aan de B-zijde van de transistor. Deze capaciteit is de som van de capaciteit van de sectieweerstand en de junctie- en overlap capaciteit van de transistor. De junctiecapaciteit is in principe niet-lineair,

Linearisatie hangt af van instelspanning, hangt weer af van configuratie (4.1). Neem voor gemak en gebrek aan verdere gegevens de waarde bij  $V=0 \Rightarrow C_0, C_j, C_{jsw}$  geef nauwkeurig aan hoe je deze lineariseert. Druk je antwoord uit in  $W_1$  en  $W_2$ , die gemeten moeten worden in  $\mu\text{m}$ .  $L$  van sectieweerstand:  $15\lambda = 1.875\mu$

$$C = 0.165 \times W_1 + 1.84 \times W_2 \quad \text{Berekening: (verwaarloos kleine termen die niet van } W_1 \text{ of } W_2 \text{ afhangen (maar bijv. alleen van } L \text{ of constant))}$$

$$C \text{ van sectieweerstand: } 1.875 \times W_1 \times 889 \text{ f} = 0.165 W_1 \text{ [fF]}$$

$$C \text{ van source: } 5 \times 0.125 \times W_2 \times C_j + W_2 \times C_0 + W_2 \times C_{jsw} = 1.25 W_2 + 0.31 \times W_2 + 0.28 \times W_2 = 1.84 W_2 \text{ [fF]}$$

Wanneer  $W_2$  heel groot wordt, kunnen we een niet te verwaarlozen RC-looptijd krijgen van het signaal op de polysilicium gate. Dit signaal wordt rechts bij  $x$  aangeboden en loopt over de gate naar links (naar  $y$ ).

4.5 *Gevraagd:* Bereken de  $t_{50\%}$  van het signaal bij  $y$  als dat bij  $x$  aangeboden wordt. zie tabel 3.5  
voor  $C_{ox}$  en  $C_0$

$$t_{50\%} = 120 \cdot 10^{-9} \text{ [s]} \quad \text{Berekening: } (W_2 \text{ in } \mu)$$

$$R = 150 \Omega / 10 \times \frac{W_2}{0.25 \mu} = 600 \times W_2 \text{ [\Omega]} \quad \begin{matrix} 2 \times 0.31 \\ \downarrow \end{matrix}$$

$$C = C_{ox} \times L_{gate} \times W_2 + 2 \times W_2 \times C_0 = 6 \times 0.25 \times W_2 + 0.62 \times W_2 = 2.12 W_2 \text{ [fF]}$$

$$t_{50\%} = 0.69 \times 0.5 \times RC = 438 W_2^2 \text{ [fs]}, \text{ met } W_2 = 2100 \lambda \Rightarrow 12075$$

4.6 *Gevraagd:* Leg uit hoe je de layout zou kunnen aanpassen zodat de looptijd over de gate meer dan een factor 1000 kleiner wordt. Beschrijf duidelijk eventuele toevoegingen (weglatingen?) en hoe de afmetingen daardoor kunnen/moeten veranderen.

Je kunt een metaalbaan over de gate leggen, en op voldoende plaatsen een contactgat naar het poly maken. Omdat  $R_0$  van metaal  $< \frac{1}{1000} R_{poly}$  zal RC delay voldoende afnemen. Jets meer ruimte nodig. Evt (alternatief) signaal op voldoende plaatsen aansluiten (is eigenlijk hetzelfde) of veel smalle transistoren.

4.7 *Gevraagd:* Zou de schakeling belangrijk kunnen verbeteren door zogenaamde 'transmission gates' te gebruiken in plaats van de NMOS transistoren? Verklaar je antwoord.

~~Ja~~ / niet verbeteren **Verklaring:**

Het gaat hier om het klein signaalgedrag, en in deze schakeling is altijd  $V_{gs} - V_t \gg V_s$  en  $V_{gs} - V_t \gg V_0$  (De transistor staat in het resistentieve gebied) Dan heeft de complementaire transistor geen nut.