

## Tentamen Elektronische Schakelingen (ET1205-D2)

Datum: maandag 30 juni 2008 Tijd: 09.00 – 12.00 uur

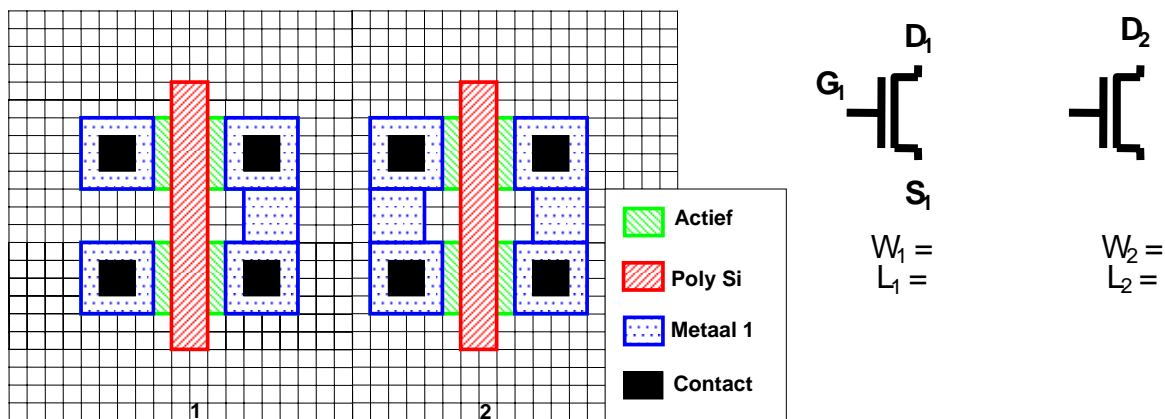
Naam:	Studienummer:	Cijfer
-------	---------------	--------

### Lees dit eerst

- Vul je naam en studienummer in in de vakjes hierboven en op de oneven bladzijden.
- Dit tentamen is “gesloten boek met toelating van één handgeschreven A4-tje, eenzijdig, als “spiekbrieffje”. Bovendien worden de overzichten van de binnenflappen van Rabaey beschikbaar gesteld.
- Het gebruik van een rekenmachine is toegestaan.
- Voor de multiple-choice vragen geldt: omcirkel of vink het juiste antwoord.
- Vul je antwoorden in de daarvoor gereserveerde ruimten in. Eventueel kun je extra bladen gebruiken die je dan duidelijk van je naam en studienummer moet voorzien.
- Tenzij expliciet anders wordt vermeld, moet je steeds uitgaan van de 0.25µm technologie uit het boek van Rabaey, met een voedingsspanning (VDD) van 2.5 Volt en bijbehorende parameters zoals gegeven op de binnenkant van de achterflap. Deze worden op een apart blad beschikbaar gesteld.
- Geef voor de antwoorden steeds een korte verklaring en geef, waar van toepassing, in grafieken de relevante waarden steeds duidelijk aan! Let steeds op de eenheden .
- Prefixes: kilo (k) =  $10^3$ , mega (M) =  $10^6$ , giga (G) =  $10^9$ , milli (m) =  $10^{-3}$ , micro ( $\mu$ ) =  $10^{-6}$ , nano (n) =  $10^{-9}$ , pico (p) =  $10^{-12}$ , femto (f) =  $10^{-15}$ , atto (a) =  $10^{-18}$

### Vraag 1.

Beschouw onderstaande layout en het bijbehorende schema. De layout laat twee genummerde structuren zien (1 en 2, onderaan de layout) met ieder twee NMOS transistoren, en het schema twee transistoren. Het is de bedoeling dat je layout structuur 1 zowel als layout structuur 2 beiden gaat modelleren met 1 transistor.



a. Geef in de layout duidelijk aan waar de aansluitingen  $G_1$ ,  $S_1$ ,  $D_1$ ,  $G_2$ ,  $S_2$ ,  $D_2$  zich bevinden.

b. Geef de *equivalente* afmetingen  $W_1$ ,  $L_1$ ,  $W_2$ ,  $L_2$  van beide structuren, druk het antwoord uit in “aantal hokjes”. Schrijf het antwoord bij de transistoren rechtsboven.

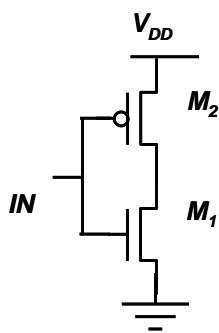
c. Welk model is beter? M.a.w., in welke situatie (1 of 2) is de fout die gemaakt wordt door de twee transistoren in de layout als een transistor in het schema te beschouwen, is de fout het kleinst?

Model ..... is nauwkeuriger

Verklaring:

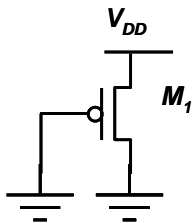
### Vraag 2.

a. Geef voor ieder van de transistoren hieronder aan in welk werkgebied de transistor zich bevindt. Kies uit: off / linear / saturation / velocity saturation.



		Werkgebied
IN = VSS (0V)	M1	
	M2	
IN = VDD	M1	
	M2	

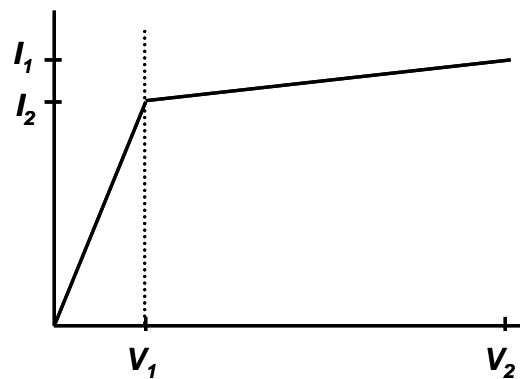
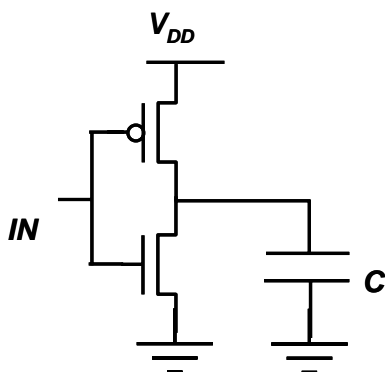
b. Hetzelfde voor de transistor hieronder.



Werkgebied:	
-------------	--

### Vraag 3.

Beschouw onderstaande schakeling. Neem aan dat de  $I_D/V_{DS}$  karakteristiek voor  $V_{GS}=V_{DD}$  benaderd wordt door de grafiek rechts. Er geldt:  $V_1 = 0.5V$ ,  $V_2 = V_{DD} = 2.5V$ ,  $I_1 = 70\mu A$ ,  $I_2 = 60\mu A$ . Er zijn geen andere gegevens van de transistor bekend (je kunt dus niet uitgaan van de gegevens in het boek). Verder geldt  $C=10fF$ .



a. Bepaal de  $t_{PHL}$  wanneer op de ingang  $IN$  een ideale stap ingang aangeboden wordt met  $V_{low} = 0V$  en  $V_{high} = V_{DD} = 2.5V$ . De  $t_{PHL}$  wordt (zoals gewoonlijk) gerelateerd aan  $V_{out} = V_{DD}/2$ .

Naam:	Studienummer:
-------	---------------

$t_{pHL} =$
Berekening:

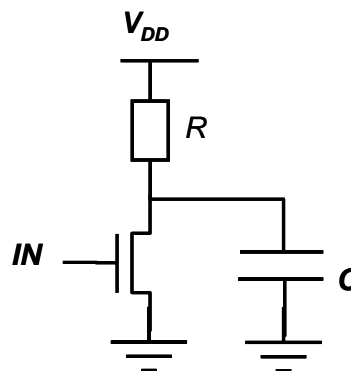
**b.** Bij een zogenaamd kort-kanaal transistor (zoals de transistoren uit het boek van Rabaey), wat kun je dan zeggen over het werkgebied rechts van de verticale stippellijn (voor  $V_{DS} > V_1$ ) wanneer gegeven is dat  $V_{TH} = 0.5V$ ? Het werkgebied is:

Lineair	Verzadiging	Snelheidsverzadiging	Kan niet bepaald worden
Verklaring			

**c.** Wanneer de ingang  $IN$  een blokgolf is met een frequentie van 200MHz, wat is dan de dynamische dissipatie van de schakeling (hoeveel vermogen wordt er gebruikt)? Of kan dit niet bepaald worden omdat er gegevens ontbreken?

$P =$	Kan niet bepaald worden
Berekening / verklaring:	

**d.** Wanneer de PMOS vervangen wordt door een weerstand  $R$  van  $55.6\text{k}\Omega$ , zoals in de schakeling hiernaast, wat is dan  $V_{OL}$ ?  
Hint: maak een constructie in de  $I_D/V_{DS}$  grafiek hierboven.



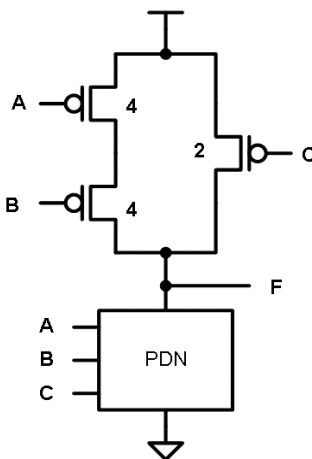
$V_{OL} =$

Berekening

#### Vraag 4.

**a.** Gegeven nevenstaand pull-up netwerk. Teken rechts daarvan het bijbehorende CMOS pull-down netwerk.

**b.** Geef de W/L verhoudingen van de transistoren in het pull-down netwerk zodanig dat de worst-case pull-down sterkte gelijk is aan worst-case pull-up sterkte, neem een PMOS/NMOS ratio van 2/1. Noteer de W/L verhoudingen bij de transistoren van antwoord a.



Pull-up netwerk, met W/L

#### Vraag 5.

Beschouw een enkele on-chip interconnect, met een lengte van  $2\text{mm}$  ( $2000\ \mu\text{m}$ ), in de M1 laag ( $1^{\text{e}}$  metaal) boven substraat. De interconnect wordt gestuurd (aangedreven) door een inverter waarvan de uitgangsweerstand en capaciteit zijn te verwaarlozen. Ook de belastingscapaciteit is te verwaarlozen. De weerstand en capaciteit van de draad zijn niet te verwaarlozen. In deze situatie is de vertraging gegeven door  $t_0$ .

**a.** Wanneer de draad een *factor 2 breder* gemaakt wordt, dan geldt voor de nieuwe vertraging  $t_1$  (omcirkel het juiste antwoord):

$t_1 < 0.5 t_0$	$t_1 = 0.5 t_0$	$0.5 t_0 < t_1 < t_0$	$t_1 = t_0$	$t_0 < t_1 < 2 t_0$	$t_1 = 2 t_0$	$t_1 > 2 t_0$
-----------------	-----------------	-----------------------	-------------	---------------------	---------------	---------------

Verklaring

Naam:	Studienummer:
-------	---------------

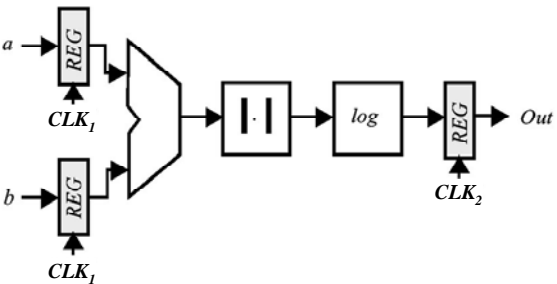
**b.** Wanneer de oorspronkelijke draad een *factor 2 langer* gemaakt wordt, dan geldt voor de nieuwe vertraging  $t_1$  (omcirkel het juiste antwoord):

$t_1 < 0.5 t_0$	$t_1 = 0.5 t_0$	$0.5 t_0 < t_1 < t_0$	$t_1 = t_0$	$t_0 < t_1 < 2 t_0$	$t_1 = 2 t_0$	$t_1 > 2 t_0$
Verklaring						

**Vraag 6.**

Beschouw onderstaande gegevens en schakeling. Het is een zogenaamd positive edge-triggered systeem.

Schakeling	Parameter	Omschrijving
Multiplexer	$t_{mux}, t_{mux,cd}$	Maximale en minimale vertraging
Absolute waarde	$t_{abs}, t_{abs,cd}$	Maximale en minimale vertraging
Logaritme	$t_{log}, t_{log,cd}$	Maximale en minimale vertraging
Register	$t_{su}$	Setup time
	$t_{hold}$	Hold time
	$t_{c-q}, t_{c-q,cd}$	Max en min delay van Clk naar uitgang



Voor de antwoorden op de deelvragen a t/m d moet je de parameters gebruiken uit de vetgedrukte kolom hierboven. Alleen het antwoord, geen berekening/verklaring.

**a.** Geef een formule voor de minimale klok-periode  $T_{clk}$ .

$T_{clk} =$

**b.** Geef een formule voor de maximale hold time  $t_{hold}$ .

$T_{hold} =$

**c.** Geef een formule voor de maximaal toelaatbare positieve klok-skew  $\delta$ .

$\delta =$

**d.** Geef een formule voor de minimale klok-periode  $T_{clk}$  wanneer er een extra register geplaatst wordt tussen de schakeling voor de absolute waarde en de schakeling voor het nemen van de logaritme.

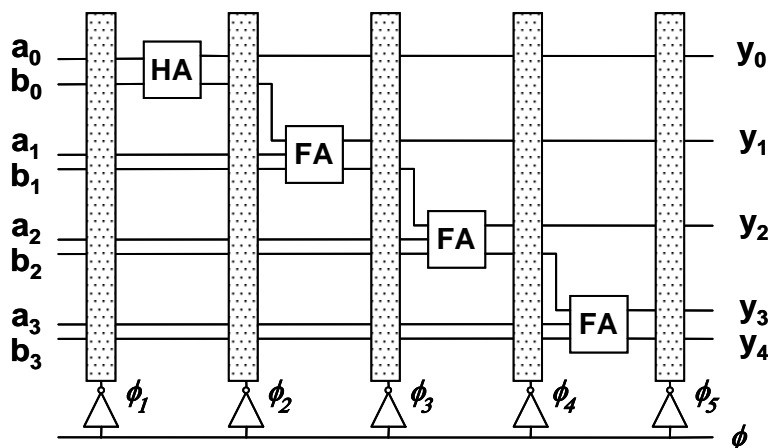
$T_{clk} =$

e. Verklaar het begrip 'latency' in de context van pipelining van sequentiële schakelingen.

Latency:

### Vraag 7.

Beschouw onderstaande 4-bit opteller. Deze is onderdeel van een digitale signaalbewerker, en het is belangrijk om de hoogste *throughput* (doorvoersnelheid) te behalen. Daarom is het pijplijn principe doorgevoerd tot op bit-nivo. De verticale balken geven de register-kolommen aan.



a. Laat  $T_{\text{carry}}$  de vertraging zijn van de ingangen van de full-adder (of half-adder) naar de carry uitgang, en  $T_{\text{som}}$  hetzelfde voor het som signaal. Neem aan dat de vertragingen van de half-adder gelijk zijn aan die van de full-adders. De maximale kloksnelheid wordt (mede) bepaald door:

- A  $T_{\text{carry}}$ , maar niet of nauwelijks door  $T_{\text{som}}$
- B  $T_{\text{som}}$ , maar niet of nauwelijks door  $T_{\text{carry}}$
- C  $T_{\text{carry}} + T_{\text{som}}$
- D  $\text{Max}(T_{\text{carry}}, T_{\text{som}})$
- E  $\text{Min}(T_{\text{carry}}, T_{\text{som}})$

Antwoord A B C D E (omcirkel)

Verklaring: