

Vul op alle formulieren die je inlevert je naam en studienummer in.

Tentamen Elektronische Schakelingen (ET1205-D2)

Datum: donderdag 30 augustus 2007 Tijd: 09.00 – 12.00 uur

Naam:	Studienummer:	Cijfer
-------	---------------	--------

Lees dit eerst

- Schrijf je naam en studienummer in de vakjes hierboven en op de oneven bladzijden.
- Dit tentamen is "gesloten boek met toelating van één handgeschreven A4-tje, eenzijdig, als "spiekbriefje". Bovendien worden de overzichten van de binnenflappen van Rabaey beschikbaar gesteld.
- Het gebruik van een rekenmachine is toegestaan.
- Voor de multiple-choice vragen geldt: omcirkel of vink het juiste antwoord.
- Vul je antwoorden in de daarvoor gereserveerde ruimten in. Eventueel kun je extra bladen gebruiken die je dan duidelijk van je naam en studienummer moet voorzien.
- Logische inversen worden aangegeven met een prime (') (soms met een overbar).
- Geef voor de antwoorden steeds een korte verklaring en geef, waar van toepassing, in grafieken de relevante waarden steeds duidelijk aan! Let steeds op de eenheden .
- Prefixes: kilo (k) = 10^3 , mega (M) = 10^6 , giga (G) = 10^9 , milli (m) = 10^{-3} , micro (μ) = 10^{-6} , nano (n) = 10^{-9} , pico (p) = 10^{-12} , femto (f) = 10^{-15} , atto (a) = 10^{-18}

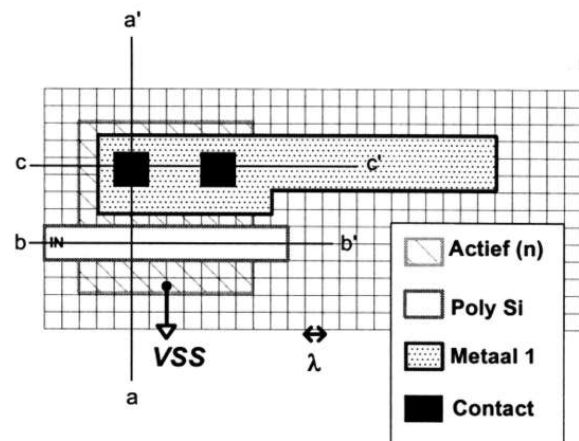
Vraag 1.

Gegeven de layout van een NMOS transistor zoals hiernaast.

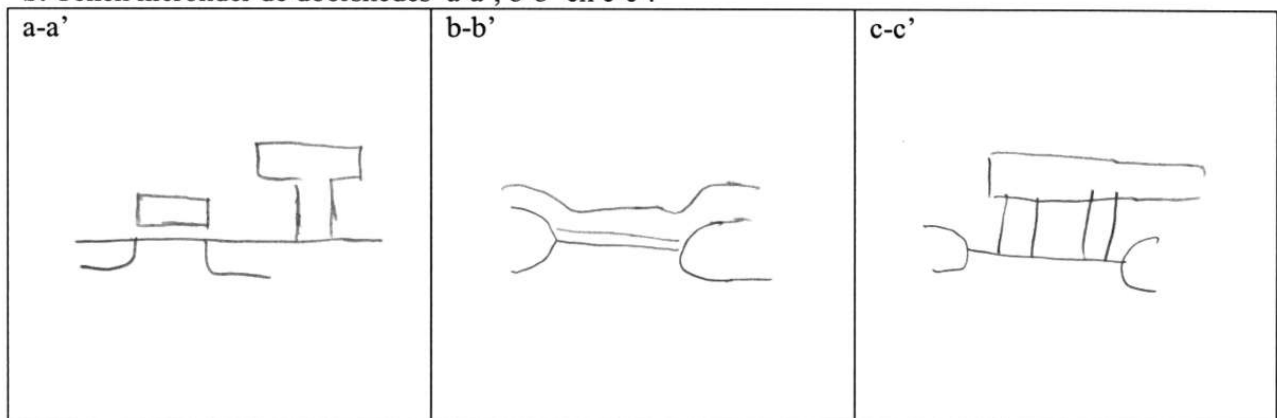
a. Wat zijn de lengte en breedte van de NMOS transistor (in λ)?

$$W = 10\lambda$$

$$L = 2\lambda$$

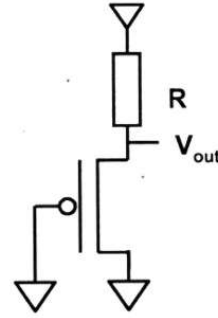


b. Teken hieronder de doorsnedes a-a', b-b' en c-c'.



Vraag 2.

a. Gegeven de figuur hiernaast. Neem aan dat R heel groot is. Wat is de beste benadering voor V_{out} ?



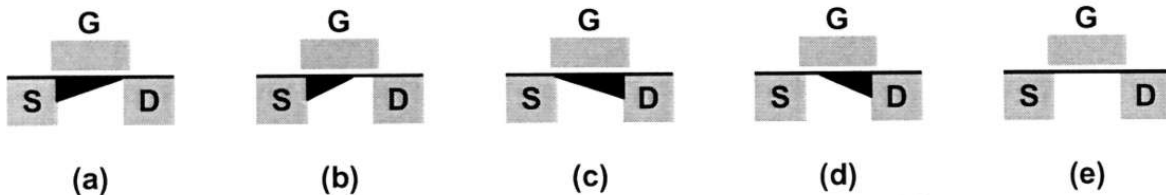
(a) $-V_{tp}$	(b) V_{tp}	(c) $V_{DD} - V_{tp}$	(d) 0	(e) VDD
---------------	--------------	-----------------------	-------	---------

b. In bovenstaande schakeling maakt het body effect de spanning V_{out} :

(a) Hoger	(b) Lager	(c) Geen effect	(d) Kan niet bepaald worden
-----------	-----------	-----------------	-----------------------------

Vraag 3.

De figuren hieronder representeren een zij-aanzicht van een MOSFET en het kanaal onder verschillende operating conditions (werkspanningen). Gebruik deze figuren voor de volgende vragen. Neem aan dat het "typische" digitale MOS transistoren zijn, zoals uit het boek van Rabaey.

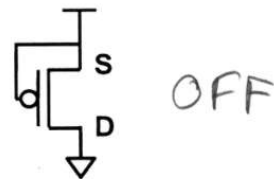


a. Welke figuur hierboven geeft het beste het kanaal weer van de transistor in nevenstaand schema? (Vul in een van (a) – (e)).



Figuur: b

b. Welke figuur hierboven geeft het beste het kanaal weer van de transistor in nevenstaand schema? (Vul in een van (a) – (e)).



Figuur: e

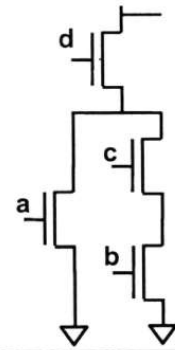
c. Welke figuur hierboven geeft het beste het kanaal weer van de transistor met $V_{GS}=2.5V$, $V_{DS}=2.3V$, $V_T = 0.7V$ en $V_{SB}=0V$ (Vul in een van (a) – (e)).

Figuur: b (SAT)

Naam:	Studienummer:
-------	---------------

Vraag 4.

Bij nevenstaande schakeling (een pull-down netwerk) is de voedingspanning VDD gelijk aan 2.0V. De transistoren zijn die uit het boek van Rabaey, en ze hebben allemaal een gelijke W/L verhouding van 8.



a. Geef de ingangscombinaties (logische waarden voor de ingangen a-d) voor de best-case en de worst-case pull-down weerstand.

Best-case abcd = 1111	Worst-case abcd = 0111
-----------------------	------------------------

b. Neem ingang a en d hoog (gelijk aan VDD) en ingang b en c laag (0V). Bereken de effectieve aanweerstand R_{on} van het pull-down netwerk.

$R_{on} = 3.75 k\Omega$

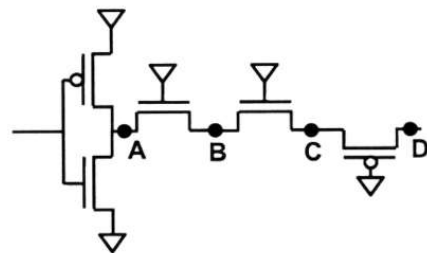
Berekening:

$$\left(\frac{W}{L}\right)_{eff} = 4 \quad @2V: R_{eq} = 15 k\Omega$$

$$\Rightarrow R_{on} = \frac{15}{4} = 3.75 k\Omega$$

Vraag 5.

Beschouw nevenstaande schakeling, VDD is 2.5 V. De transistoren hebben een $|V_T| = 0.7V$. De ingang heeft een normale spanningszwaai van 0V tot 2.5 V.

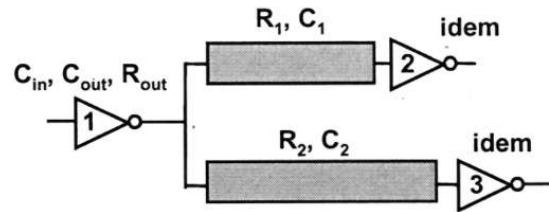


a. Geef in onderstaande tabel de spannings-zwaai (min en max waarden) in Volt voor de knopen A-D.

	A	B	C	D
V_{min} [V]	0	0	0	0.7
V_{max} [V]	2.5	1.8	1.8	1.8

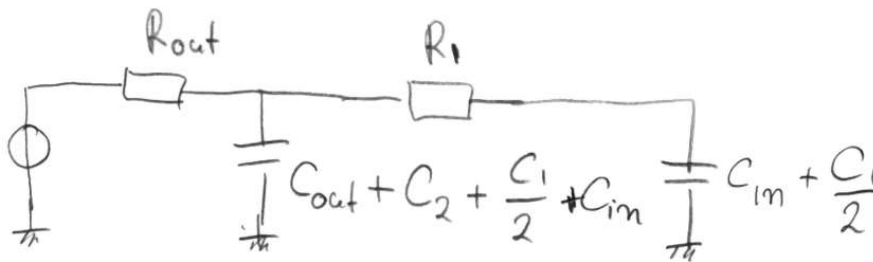
Vraag 6.

Beschouw nevenstaande schakeling met 3 identieke invertoren en 2 verschillende interconnects. Deze interconnects hebben een totale weerstand en capaciteit van R_i en C_i ($i = 1, 2$) zoals aangegeven. De 3 identieke invertoren hebben een ingangscapaciteit die gegeven is door C_{in} , een uitgangscapaciteit die gegeven is door C_{out} en een equivalente uitgangsweerstand die gegeven is door R_{out} .



a. Teken hieronder een vervangingschema met één bron en verder zo weinig mogelijk R's en C's voor het bepalen van de Elmore delay van de ingang van inverter 1 naar de ingang van inverter 2. Geef bij iedere R en C in het antwoord de waarden zoals uitgedrukt in de R en C waarden van het schema hierboven.

Vervangingschema:



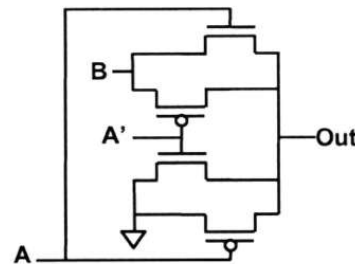
b. Bereken de Elmore delay van de ingang van inverter 1 naar de ingang van inverter 2 in termen van de parameters uit de schakeling (R_i , C_i , C_{in} , C_{out} , R_{out}). Allen antwoord, geen berekening.

$$T_{ed} = R_{out} \left(C_{out} + C_2 + \frac{C_1}{2} + C_{in} \right) + (R_{out} + R_1) \left(C_{in} + \frac{C_1}{2} \right)$$

Vraag 7.

Geef de logische formule van de schakeling hiernaast.

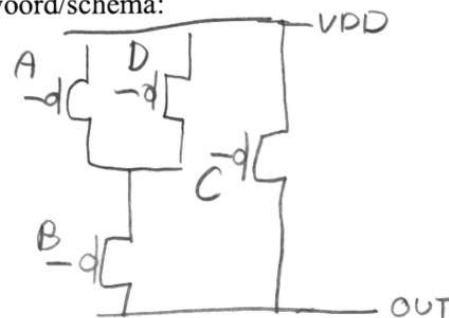
$$\text{Out} = AB$$



Vraag 8.

Ontwerp het pull-up netwerk voor een combinatorische schakeling die de volgende functie implementeert: $Y = (BC + ACD)'$ (Prime ' betekent inverse.)

Antwoord/schema:



Naam:	Studienummer:
-------	---------------

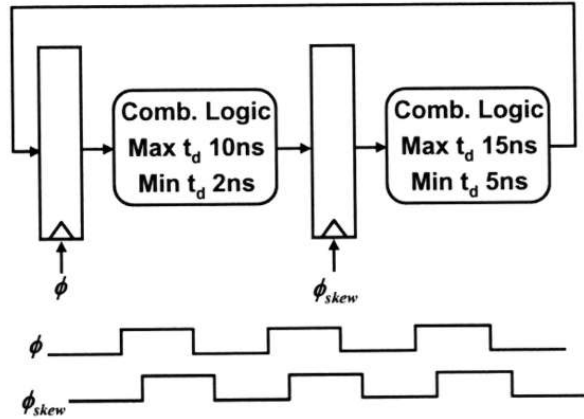
Vraag 9.

De totale capaciteit van het klok-netwerk op een bepaalde chip is 1nF. Wanneer de klokfrequentie gelijk is aan 300 MHz en de voedingsspanning gelijk is aan 3V, wat is dan het vermogen wat door de klok gedissipeerd wordt?

$$P_{\text{clock}} = C f V^2 = 2.7W$$

Vraag 10.

Beschouw de schakeling hiernaast. Beide flip-flops zijn positive-edge-triggered en hebben een setup-time en een hold-time van 0ns, en een clock-naar-Q delay van 1ns.



a. Aannemende dat er geen skew is in de schakeling, wat is dan de maximale klokfrequentie in MHz zodat de schakeling nog steeds correct werkt?

$$f_{\text{clock}} \leq 62.5 \text{ MHz}$$

Berekening/verklaring:

$$T_{\text{max}} = 1 + 15 = 16 \text{ ns} \Rightarrow f_{\text{clock}} \leq \frac{1}{16 \text{ ns}} = 62.5 \text{ MHz}$$

b. Wat is de maximaal toelaatbare skew (absolute waarde) in nanoseconden zodat de schakeling nog juist correct werkt?

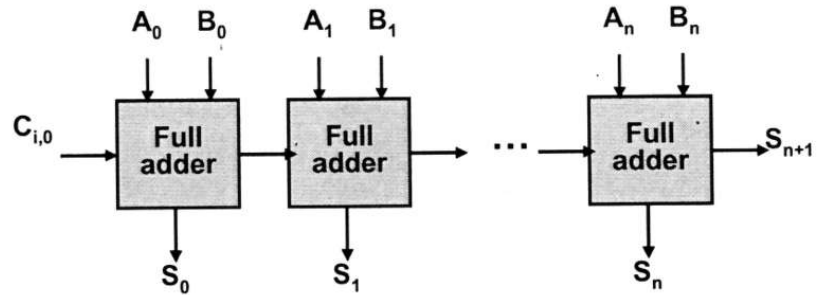
$$|t_{\text{skew}}| \leq$$

Berekening/verklaring:

$$\delta \leq t_{\text{cq, min}} + t_{\text{min}} - t_{\text{hold}} = 3 \text{ ns}$$

Vraag 11.

Beschouw nevenstaande ripple-carry adder voor het optellen van 2 n-bits getallen tot een getal met n+1 bits. De vertraging van respectievelijk het som en carry signaal wordt gegeven door T_{add} en T_{carry} .

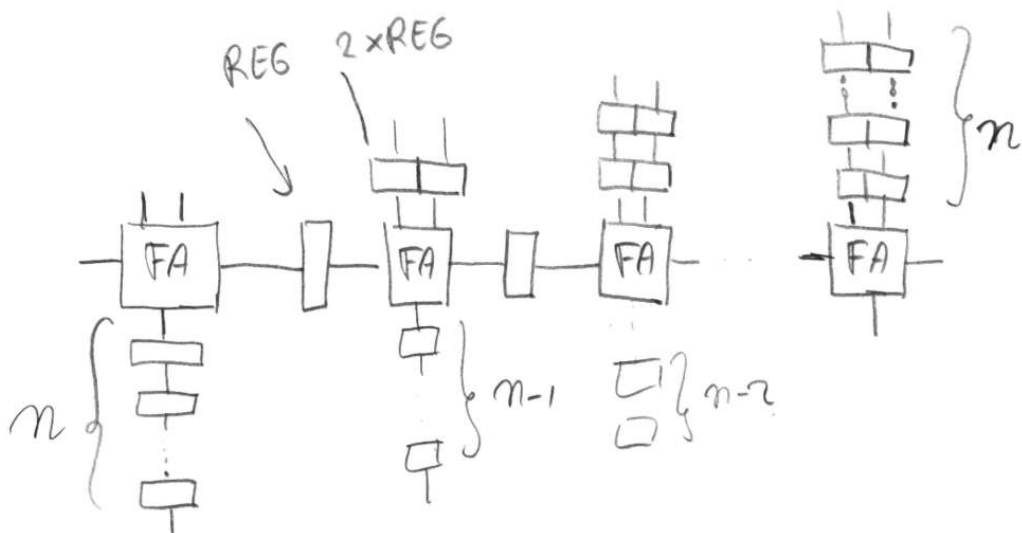


a. Geef een formule voor de vertraging van bovenstaande n-bits opteller, uitgedrukt in n, T_{sum} en T_{carry} .

$$T_{adder} = n \times t_{carry} + \max(t_{carry}, t_{sum})$$

b. De adder kan sneller gemaakt worden m.b.v. pipelining. Ontwerp hieronder een adder die pipelining gebruikt om een zo hoog mogelijke throughput (aantal getallen wat per tijdseenheid opgeteld kan worden) te behalen. Maak gebruik van ongewijzigde full-adder cellen zoals in het schema hierboven, en voeg op strategische plaatsen registers/flip-flops in.

Schema:



c. Wat is de latency van de door jou ontworpen schakeling?

Latency: $n \cdot T$

Berekening/verklaring:

T: clockperiode
n: lengte van register keten