

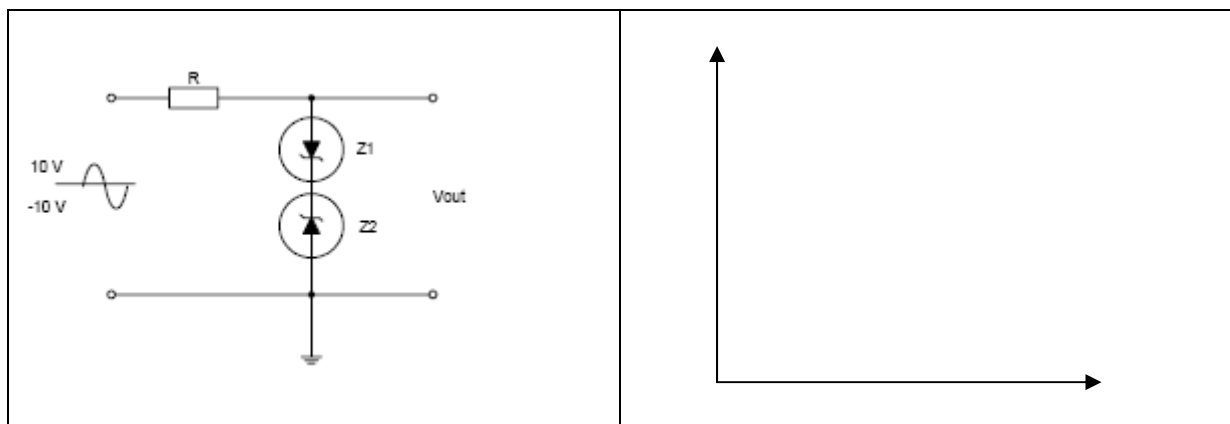
$$R_B =$$

$$R_C =$$

$$b =$$

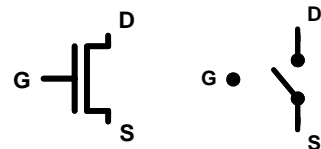
Opgave 16.

Van onderstaande zener-dioden is gegeven dat de zenerspanning 5,6 volt bedraagt en dat de doorlaatspanning bij benadering gelijk is aan 0,7 volt. **Teken de uitgangsspanning** van onderstaande schakeling als functie van de tijd voor een harmonische (sinusvormige) ingangsspanning met gemiddelde waarde nul en amplitude 10 volt.



Opgave 17.

Een zeer eenvoudig model van een MOS transistor is die van een gestuurde schakelaar, zie hiernaast. Geef de twee belangrijkste tekortkomingen van dit model voor een analyse van digitale geïntegreerde schakelingen.



Belangrijkste tekortkomingen van het model:

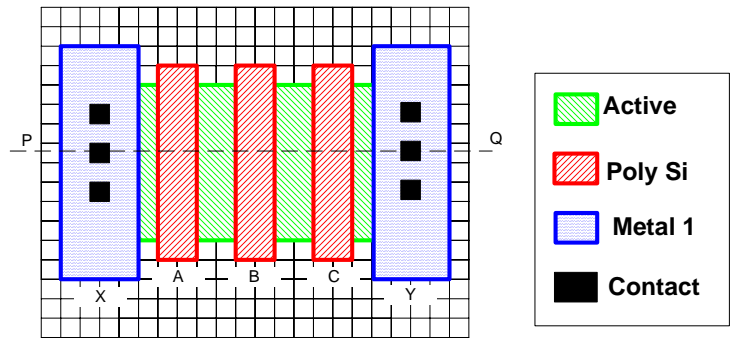
Naam:	
Studienummer:	

Opgave 18.

Beschouw de layout hiernaast.

a. Teken de doorsnede langs de lijn P-Q.
Geef duidelijk de materiaaltypen aan.

b. Teken het bijbehorende schema (circuitdiagram). Geef duidelijk aan welke knooppunten in het schema overeenkomen met de gebieden in de layout die aangeduid worden met de letters X, Y, A, B en C.
Geef ook de W/L verhoudingen van de transistoren in het schema.



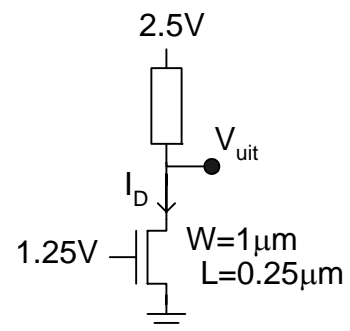
Doorsnede:	Schema:

Opgave 19.

Beschouw de schakeling hiernaast. Bereken I_D wanneer $V_{uit} = 1.25$ V. Geef de gebruikte vergelijking voor het betreffende werkgebied met symbolische waarden, niet de getallen invullen, en het antwoord.

Er gelden de volgende parameters:

Rabaey	Uyemura	Waarde	Eenheid
V_{T0}	V_{T0n}	0.43	V
γ	γ	0.4	$V^{0.5}$
V_{DSAT}	-	1.5	V
k'	k_n'	115	$\mu A/V^2$
λ	λ	0.06	V^{-1}



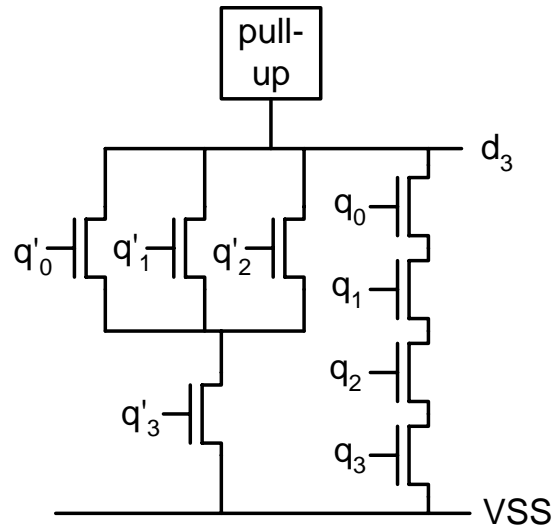
$I_D =$
Formule:

Opgave 20.

Gegeven het transistor-schema hiernaast.

a. Wat is de logische functie van deze schakeling.

$d_3 =$



b. Teken het bijbehorende pull-up netwerk.

Pull-up netwerk:

c. De lengte van alle transistoren is gelijk aan $0.25 \mu\text{m}$. Bepaal de minimale breedte van alle transistoren in het pull-down netwerk zodanig dat de equivalente pull-down sterkte gelijk is aan die van een invertor met $W/L = 3$. Rond je antwoord naar boven af op een veelvoud van $\frac{1}{8} \mu\text{m}$. Geef je antwoord aan in het schema hierboven.

d. Stel nu dat alle transistoren in het pull-down netwerk een W/L verhouding hebben van 4 (dit komt niet overeen met het correcte antwoord op het vorige onderdeel). Bepaal dan zowel de worst-case (langzaamste) als de best-case (snelste) pull-down vertraging t_{pHL} bij een totale capacitieve belasting aan de uitgang van 20fF . Gebruik voor de berekening de een equivalente $R_{eq} = R_n$ van $15\text{k}\Omega$. (Noot: deze waarde geldt voor een $W/L = 1$.) (Noot: R_{eq} is uit Rabaey, R_n is uit Uyemura.)

worst-case $t_{pHL} =$

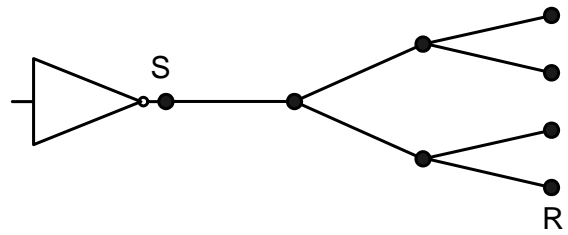
Best-case $t_{pHL} =$

Berekening:

Naam:	
Studienummer:	

Opgave 21. (Alléén voor de 2005/2006, 'Rabaey' variant.)

De tekening hiernaast toont een klok-distributie netwerk. Ieder segment (de lijnstukken tussen de knooppunten – er zijn dus 7 segmenten) is 1 mm lang en 1 μm breed, en is geïmplementeerd in polysilicium. Aan ieder 'terminal' knooppunt zoals R hangt een belastingcapaciteit van 200fF.



a. Stel dat de totale capaciteit van alle segmenten uitkomt op 1 pF (komt niet overeen met het correcte antwoord op het volgende onderdeel) bereken dan de gemiddelde stroom die de driver (de invertor) moet leveren voor een vertraging van 1ns. (Hint: $I = C \, dV/dt$). Verwaarloos bij deze vraag de weerstand van de poly draden. $V_{DD} = 2.5V$.

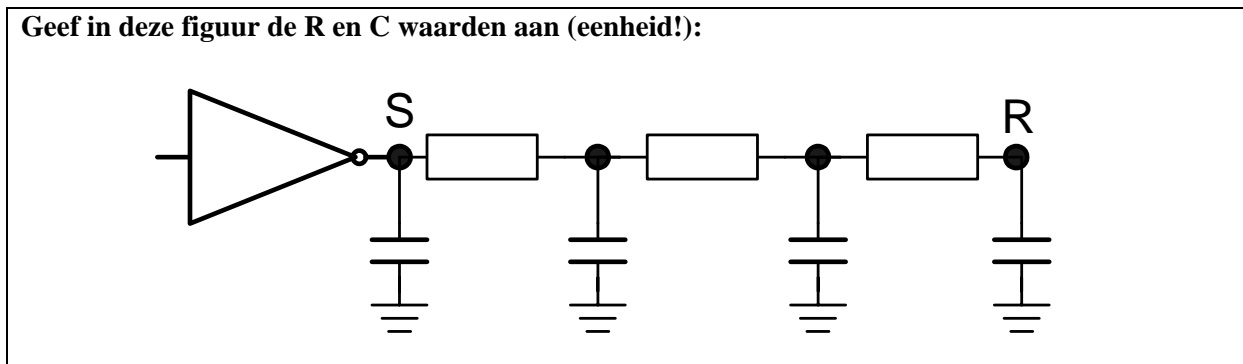
I =	(vergeet niet de eenheid)
Berekening:	

b. Bepaal de weerstand en de capaciteit van een segment (af rondingen van 10% zijn toegestaan).

R =	C =
Berekening:	

c. Neem nu aan (niet het correcte antwoord op de vorige vraag) dat ieder segment een weerstand heeft van 100 Ω en een capaciteit van 100 fF en beschouw de Elmore delay formule voor de vertraging tussen S en R. Dan kan met een pi-netwerk voor ieder segment gerekend worden. Omdat niet voor alle segmenten de weerstand meegenomen moet worden in de berekening, is het mogelijk om een ladder-netwerk te tekenen voor de berekening van de Elmore delay. Dit netwerk is hieronder getekend. Geef de bij een Elmore delay berekening horende weerstand- en capaciteitswaarden in onderstaand schema aan. Vergeet niet de bijdrage van de belastingcapaciteiten (per terminal een waarde van 200fF, zie inleiding van de vraag) Je hoeft niet de Elmore delay te berekenen.

Geef in deze figuur de R en C waarden aan (eenheid!):



Opgave 22. (Alléén voor de 2004 – 2005, 'Uyemura' variant)

Een interconnect draad loopt over een oxide met een dikte van $1\mu\text{m}$. De draad heeft een breedte van $0.5\mu\text{m}$, een dikte van $1\mu\text{m}$ en is $50\mu\text{m}$ lang. De soortelijke weerstand van de draad is $10\mu\Omega\cdot\text{cm}$. Neem $\epsilon_{\text{ox}} = \epsilon_0\epsilon_r = 35\text{pF/m}$.

a. Bepaal de weerstand en capaciteit van de draad. Alleen antwoord, geen berekening.

R =	C =
-----	-----

b. Geef de Elmore tijdconstante van de draad.

$\tau =$

c. Een stukje silicium is gedoteerd met arseen, met $N_d = 4 \times 10^{17} \text{ cm}^{-3}$. Bepaal de concentratie van beide typen ladingsdragers bij kamertemperatuur.

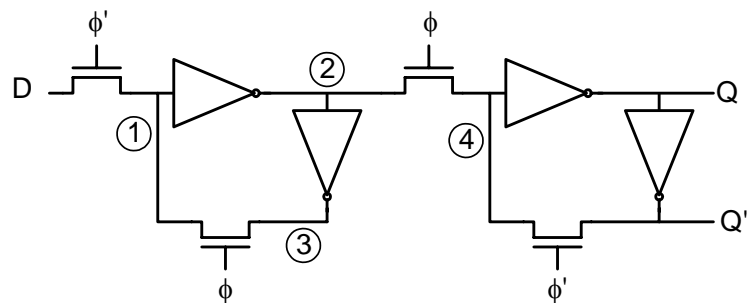
$n_n =$	$n_p =$
---------	---------

Berekening:

Opgave 23.

Beschouw nu onderstaande implementatie van een master-slave D-flip-flop.

Het diagram hieronder toont het klok signaal en het D-sigitaal als functie van de tijd. Teken in hetzelfde diagram de signalen op knooppunt 1 en op de Q-uitgang. Beschouw het system als vertragingloos, maar hou indien van toepassing wel rekening met drempelspanningsverliezen.



vdd _____ Q (gevraagd)

vss _____

vdd _____

vss _____ ① (gevraagd)

vdd _____

vss _____ D

vdd _____

vss _____ ϕ (clock)

→ tijd