

Vul op alle formulieren die u inlevert uw naam en studienummer in.

Tentamen Elektronische Schakelingen

Datum: woensdag 28 augustus 2002

Tijd: 09.00-12.00

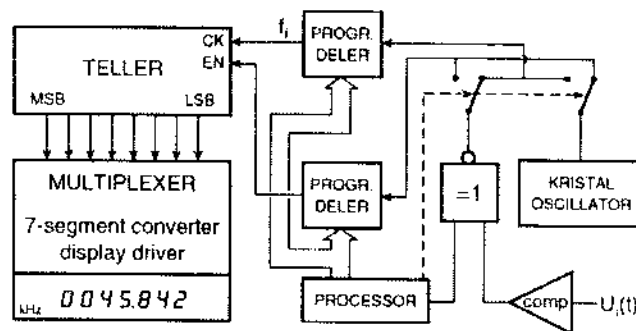
Naam: <i>uitwerkingen</i>	Studienummer:	Cijfer
---------------------------	---------------	--------

Lees dit eerst

- Vul uw naam en studienummer in in de vakjes hierboven.
- Dit tentamen is een "open boek" tentamen. Het gebruik van een rekenmachine is toegestaan.
- Vul uw antwoorden in de daarvoor gereserveerde ruimten in. Eventueel kunt u extra bladen gebruiken die u dan duidelijk van uw naam en studienummer moet voorzien.
- Geef voor de antwoorden steeds een korte verklaring en geef, waar van toepassing, in grafieken de relevante waarden steeds duidelijk aan! Let steeds op de eenheden (prefixes of 10^x)!
- Prefixes: micro (μ) = 10^{-6} , nano = 10^{-9} , pico = 10^{-12} , femto = 10^{-15} , atto = 10^{-18}
- In dit tentamen worden logische inversen ook aangegeven met een apostrophe achter het symbool, bijv. Q' is de inverse van Q .
- Zie ook de aangehechte designdata tabellen voor geïntegreerde systemen. Niet alle tabellen heb je nodig. Ze staan ook in *Rabaey draft 2^e editie*.

Inleiding

Het onderwerp van dit geïntegreerde tentamen is een gecombineerde frequentieteller / periodetijdmetor zoals weergegeven in Figuur 5.18 op bladzijde 188 van het boek van Data Acquisitie. Voor het gemak is deze figuur hieronder nogmaals gegeven.



Figuur 1

Dit apparaat is een voorbeeld van een gemengd analogoog-digitale schakeling. We zullen kijken naar de mogelijkheden tot integratie op één chip. Hierbij hebben m.n. de analoge ingangsschakeling en de teller onze aandacht. De specificaties zijn als volgt:

- kristal oscillator : 10 Mhz
- resolutie : 4 cijfers
- ingangsspanning : tussen 0 en 2.5V
- regelbare triggerdrempel en window

Dit meetapparaat is bruikbaar voor veel taken; behalve dat wij de integratie-mogelijkheden zullen behandelen, gaan wij hem gebruiken om een capaciteit te meten. Daartoe zullen we de te meten condensator opnemen in een relaxatie oscillator, waarbij de oscillatiefrequentie (mede) wordt bepaald door de waarde van de capaciteit.

1. Frequentie/periodetijdmeter (15 punten)

De waarde van de condensator, C_x , kan via een oscillatorschakeling, met uitgangsfrequentie $f_x = K/C_x$, met een frequentie/periodetijdmeter als afgebeeld in figuur 1 worden gemeten. Deze is voorzien van een 4-cijferig display, een komparator met instelbare hysteresis (trigger level en trigger window) en een interne oscillator met een nominale frequentie op $f_{osc} = 10 \text{ MHz}$. Via een delerketen is de interne werkfrequentie in te stellen op machten van 10 Hz ($f_{ck} = 10^i \text{ Hz}$).

- a) $K = 10^{-8} \text{ Hz} \cdot \text{F}$ is een conversieconstante. Bepaal de eenheid van K in termen van SI-eenheden.

$$K \text{ in SI-eenheden} = [\text{Hz}] [\text{F}] = [\text{s}^{-1}] [\text{C}] [\text{V}]^{-1} = [\text{s}^{-1}] [\text{A}] [\text{s}] [\text{kg}]^{-1} [\text{m}]^{-2} [\text{s}^3] [\text{A}] = [\text{A}^2] [\text{s}]^3 [\text{kg}]^{-1} [\text{m}]^{-2} \text{ (zie ook dittoat blz 20)}$$

- b) Bepaal de benodigde deelfactor, 10^i en de minimale meettijd, $T_m(\text{min})$, voor frequentiemeting met optimaal gebruik van de beschikbare resolutie in het meetbereik $1 \text{ pF} \leq C_x < 10 \text{ pF}$.

Deelfactor $10^i = 10^6$, $i = 6$	$T_m(\text{min}) = 1 \text{ s}$
Berekening: freq. meting: $f_x \rightarrow f_{ck}$ bij geg. $C_x: 10^{-8} / 10^{-11} \leq K/C_x < 10^{-8} / 10^{-12}$ $f_{osc} \rightarrow T_E$ $1 \text{ kHz} \leq f_{ck} < 10 \text{ kHz}$	
Indicatie: $1000 \leq c \leq 9999 \rightarrow T_E = 1 \text{ sec (constant)} = T_m(\text{min})$ $f_{osc} = 10 \text{ MHz}$ en $T_E = 0,1 \text{ sec} \rightarrow$ deelfactor 10^6 , $i = 6$	

- c) Bepaal de benodigde deelfactor 10^i en de minimale meettijd, $T_m(\text{min})$, voor periodetijdmeting met optimaal gebruik van de beschikbare resolutie in het meetbereik $1 \text{ pF} \leq C_x < 10 \text{ pF}$.

Deelfactor $10^i = 1$, $i = 0$	$T_m(\text{min}) = 10 \mu\text{s}$
Berekening: Tijdmeting: $f_x \rightarrow T_E$ bij geg. $C_x: 100 \mu\text{s} \leq T_E < 1 \text{ ms}$ $f_{osc} \rightarrow f_{ck}$ $\rightarrow T_m(\text{min}) = 10 \mu\text{s}$ $T_m(\text{max}) = 1 \text{ ms}$	
Indicatie: $1000 \leq c \leq 9999$ $f_{ck} \cdot T_E(\text{min}) = 1000 \rightarrow f_{ck} = 10 \text{ MHz} \rightarrow$ geen deelfactor	

- d) Uit de vorige twee deelopgaven blijkt duidelijk dat voor een korte meettijd een periodetijdmeter de voorkeur heeft. Noem nog een additioneel voordeel van periodetijdmeting, welke specifiek is voor de meting van C_x .

$$T_x = \frac{1}{f_x} = \frac{C_x}{K} \rightarrow \text{direct lineaire uitlezing in de meetgrootheid, } C_x.$$

Op het periodieke ingangssignaal dat op de ingang van de comparator wordt aangeboden is een sinusvormig ruissignaal $u_n = 100 \text{ mV}$ gesuperponeerd. De trigger window dient te worden ingesteld op een zodanige waarde dat de kans dat het topniveau van de ruis een onterechte triggering geeft kleiner is dan $p = 0,3 \%$.

- e) Bepaal de benodigde instelling van het trigger window (tip: maak gebruik van de tabellen 2.1-blz 49 en 5.1-blz 195).

Trigger window = 424 mV

Berekening: Ruis signaal gespecificeerd als eff. waarde
0,3% overschrijdrijskans $\rightarrow 3\sigma \rightarrow \Delta U = 3\sqrt{2} \cdot 100 \text{ mV}$
d.i. afstand boven en onder level = window (blz 190)

De interne oscillator is in een oventje geplaatst waarmee de werktemperatuur op $80 \pm 2^\circ\text{C}$ wordt gehouden. De interne oscillator wordt eenmaal per jaar gecalibreerd met onnauwkeurigheid $\Delta f_{osc}/f_{osc} = 10^{-7}$. De temperatuurgevoeligheid bedraagt $\partial f_{osc}/\partial T = 0,2 \text{ Hz}/^\circ\text{C}$ en de veroudering $\partial f_{osc}/\partial t = 0,1 \text{ Hz/maand}$.

f) Bepaal de best mogelijke resolutie van de periodetijdmeting indien de gebruiker niet weet wanneer de laatste calibratie heeft plaatsgevonden.

Best mogelijke resolutie:

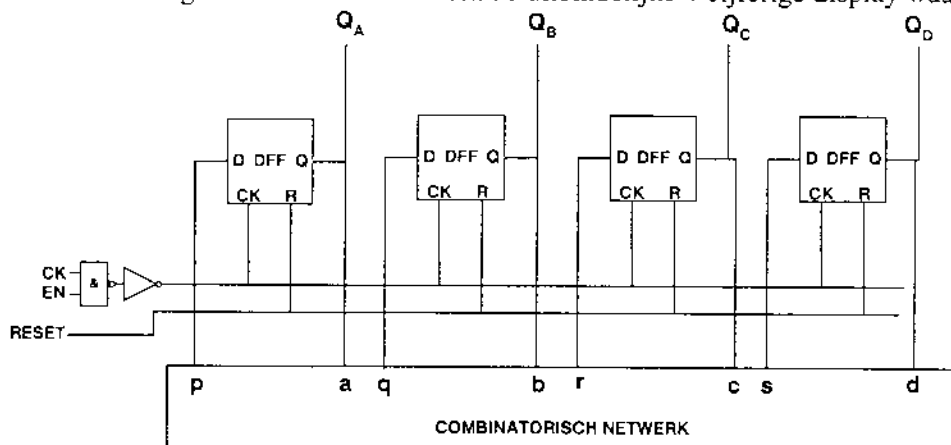
Verklaring: Resolutie: (zie c) = $1/f_{ck} = 10^{-7} \text{ s} \Rightarrow 1 \text{ fF}$

Onnauwkeurigheid:
$$\Delta f = \left(\frac{\Delta f_{osc}}{f_{osc}} \right)_{cal} f_{osc} + \left(\frac{\partial f_{osc}}{\partial T} \right) \Delta T + \left(\frac{\partial f_{osc}}{\partial t} \right) \Delta t = 10^{-7} * 10^7 + 0,4 + 1,2 = 2,6 \text{ Hz}$$

 $\Delta f/f_{osc} = 26 \cdot 10^{-8} \rightarrow$ goed gedimensioneerd

2. BCD Teller (31 punten)

De 'TELLER' uit figuur 1 kan het best gerealiseerd worden als een zgn. BCD teller. Hieronder is één zogenaamde BCD teller sectie weergegeven. BCD staat voor 'Binary Coded Decimal', dwz de cijfers 0-9 in binair formaat. Iedere sectie is een synchrone 4-bit teller die telt van 0-9, en bij de volgende clockpuls weer bij 0 begint, etc. Er is een BCD teller sectie voor ieder cijfer op het display. Er behoren 4 van zulke teller secties in cascade geschakeld te worden om de uiteindelijke 4-cijferige display waarde te produceren.



Zo'n BCD teller sectie werkt als volgt. Q_A is het meest laagwaardige bit, en Q_D het meest hoogwaardige bit. Het blok 'combinatorisch netwerk' heeft vier ingangen a-d en 4 uitgangen p-s. De ingangen zijn verbonden met de Q-uitgangen van de flip-flops en de uitgangen met de D-ingangen van de flip-flops. Dit combinatorische netwerk zorgt ervoor dat de teller de juiste standen doorloopt, dwz 0-1-2-3-4-5-6-7-8-9-0-1... etc, door de juiste D-ingangen aan de flip-flops aan te bieden afhankelijk van de teller stand. Je hoeft het volgende niet te controleren, maar er kan gelden (inverse wordt aangegeven met een apostrophe '):

$p = a'$ $q = a'b + ab'd'$ $r = b'c + abc' + a'bc$ $s = a'b'c'd + abcd'$
--

De schakeling zal voorzien worden van een RESET ingang; een puls op deze ingang zorgt ervoor dat de teller in de 0-stand wordt gezet.

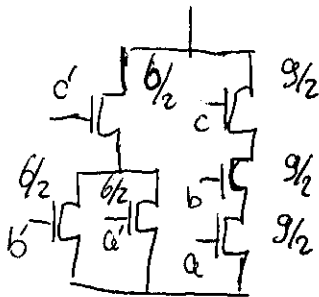
We kijken eerst naar het combinatorische netwerk. Een alternatieve formule voor het signaal r is als volgt:

$$r = (a'c' + b'c' + abc)'$$

2.1. Gevraagd:

- a) Teken het transistor schema van het pull-down netwerk van een and-or-invert gate wat bovenstaande alternatieve formule voor r realiseert. Neem aan dat ook de inverse signalen a' , b' en c' beschikbaar zijn. Een oplossing met 6 transistoren kan 4 punten opleveren, een oplossing met 7 transistoren maximaal 3 punten.

Schema:



- b) Dimensioneer het pull-down netwerk zodanig dat de equivalente sterkte (*drive-strength*) gelijk is aan die van een invertor met minimale afmetingen. Geef W en L bij (naast) iedere transistor in bovenstaand schema, en geef hieronder de berekeningen.

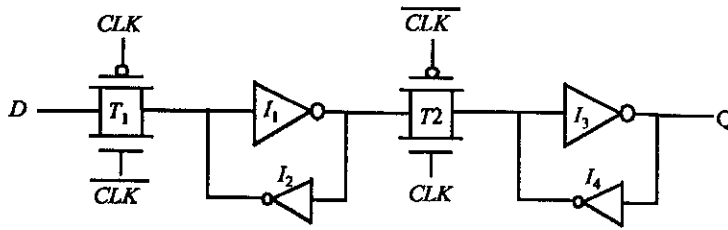
Berekeningen: w/l minimum transistor is $3/2$

2 transistoren in serie (pad $b'c'$ en $a'c'$) vragen dan om transistoren met dubbele breedte $\Rightarrow \frac{w}{l} = 6/2$

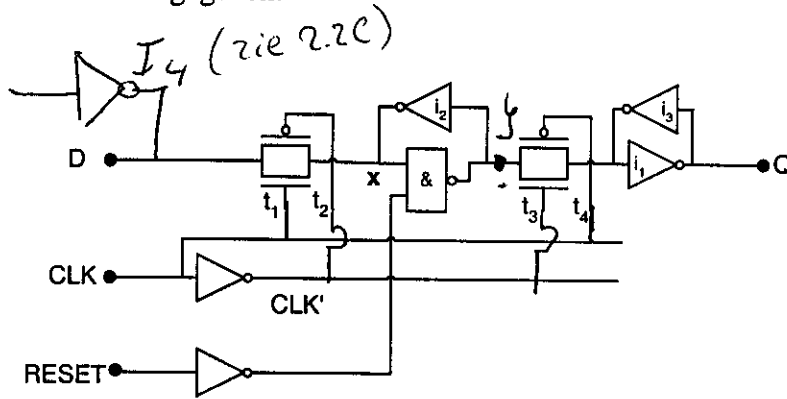
3 transistoren (pad $a'bc$) in serie: 3 dubbele breedte $\Rightarrow \frac{w}{l} = 9/2$

zie oefensessie 5 van 17/5/2002

We kijken vervolgens naar de flip-flops. De flip-flops die we zullen gebruiken zijn een variant op de zogenaamde 'Ratioed Reduced Clock Load Register' (figuur R2 7.18) zoals ook hieronder weergegeven, zodanig dat de uitgang verandert op de neergaande klok flank.



Onze variant is hieronder weergegeven.



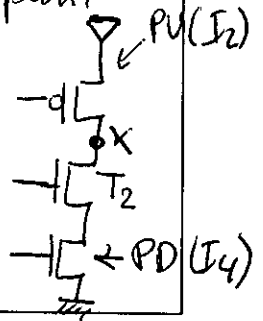
2.2. Gevraagd:

- Van deze schakeling ontbreken de verbindingen van $t_1 - t_4$ met CLK en CLK'. Voeg deze toe (teken ze erbij in bovenstaande figuur), zodanig dat de uitgang Q verandert op de neergaande klokflank.
- Wat is de functie van de invertoren i_2 en i_3 (in het tweede schema, onze variant van de flip-flop)?

Deze invertoren zorgen ervoor dat de logische waarden op punten x en y (zie tekening hierboven) vastgehouden worden als t_1/t_2 resp t_3/t_4 uit zijn. Anders kunnen deze punten hun logische waarde verliezen door lekstroom. Level Restoration.

- Stel dat de D-ingang van onze flip-flop gestuurd wordt door een minimum-size inverter, en ook dat de transmissie-gate transistoren de minimum afmetingen hebben. Teken dan hieronder het equivalente transistorschema wat zorgt voor de hoog-naar-laag overgangen op het punt x. Geef van de 2 bekende transistoren (die van de sturende inverter en de transmissiegate) de afmetingen van de transistoren in λ . **Tip:** het schema bevat 3 transistoren. Let op het type. Noteer de afmetingen (W en L) naast de transistoren.

Het relevante deel van het schema is I_4 (zie tekening boven 2.2 op vorige bladzijde), t_1/t_2 en I_2 . Het punt x wordt naar beneden getrokken door de pull-down van I_4 en de T_1 in serie. Tegelijkertijd wordt punt x naar "1" getrokken door de pull-up van I_2 . Dus voor een "1 \rightarrow 0" overgang moeten de pull-down van I_4 en T_2 samen sterker zijn dan de pull-up van I_2 .



- d) Bepaal de minimum afmetingen van de derde transistor zodanig dat het punt x beneden $V_{DD}/2$ getrokken kan worden.

$$W = 5.6 \lambda \quad L = 2 \lambda$$

Berekening:

De configuratie waar de pull-down van 'x' werkt als een ratioed pseudo-nmos inverter (we modelleren de 2 pull-down transistoren in serie als één equivalente transistor met $(\frac{W}{L})_{pd} = \frac{3}{4}$). Rondom $V_x = V_{DD}/2$ zijn alle transistoren in het verzadigingsgebied. Verzadigingsstromen gelijk stellen.

$$k'_n \left(\frac{W}{L}\right)_{pd} \left((V_{DD} - V_{tn}) V_{DSATn} - \frac{(V_{DSATn})^2}{2} \right) = k'_p \left(\frac{W}{L}\right) \left((V_{DD} - V_{tp}) V_{DSATp} - \frac{(V_{DSATp})^2}{2} \right)$$

Invullen van $(\frac{W}{L})_{pd} = \frac{3}{4}$ en waarden uit tabel 3.2 (formuleblad) geeft antwoord.

2.3. Gevraagd:

Zie p. 285 van hfdst 7, juist beneden Figuur 7.18

- a) Is het kritieke pad in bovenstaande tellersectie afhankelijk van het aantal bits van deze tellersectie? Motiveer je antwoord.

Kritieke pad is ~~wel~~ niet afhankelijk van het aantal bits

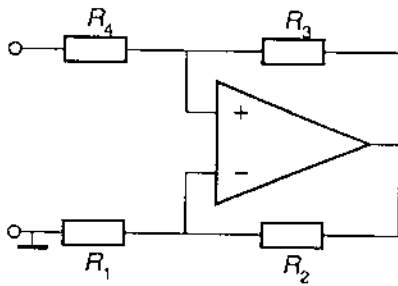
Motivatie:

Sedere flip-flop zal schakelen op de klok-flank.

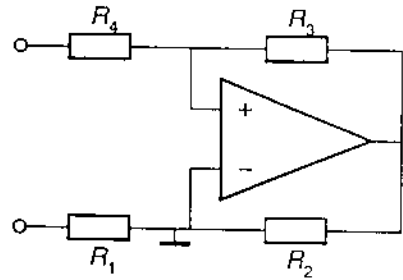
3. Schmitt-trigger (31 punten)

We beschouwen nu het blokje 'comp' uit figuur 1 op bladzijde 1. Dit is een **Schmitt-trigger** (= comparator met hysteresis). Veronderstel dat we deze willen ontwerpen met een **trigger window van 1 volt** rond een **trigger level van 1 volt**. We kiezen daartoe één van onderstaande elektronische schakelingen, bestaande uit een operationele versterker (opamp) en vier weerstanden R_1 , R_2 , R_3 en R_4 . De overdrachtsparameters van de opamp, te weten μ , γ , ζ en α , mogen oneindig verondersteld worden. Veronderstel tevens dat het signaal afkomstig van de regeneratieve oscillator **zuiver driehoekvormig, met gemiddelde waarde 1 volt en amplitude 1 volt** is en gemodelleerd kan worden middels een ideale spanningsbron (dus met bron-

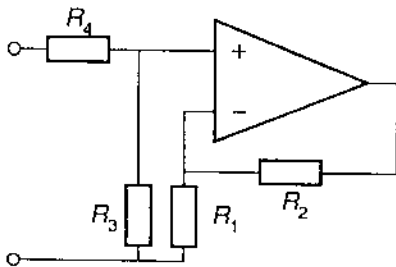
impedantie 0) en de uitgangsspanning van de opamp alle waarden tussen de negatieve en positieve voedingsspanningen van 0 en V_{DD} (niet getekend) kan aannemen.



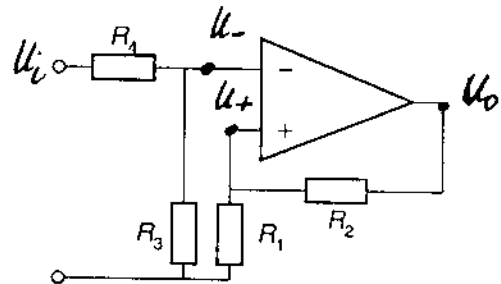
schakeling A



schakeling B



schakeling C



schakeling D

3.1. **Gevraagd:**

a) Welke van de gegeven schakelingen A-D implementeert inderdaad een Schmitt-trigger? Licht je keuze toe.

Schakeling D implementeert een Schmitt-trigger. Verklaring:

1. Schmitt-trigger \rightarrow meekoppeling ($A\beta > 0$) \rightarrow C valt af en voor A geldt $R_3 < R_4 R_2 / R_1$

2. Triggerlevel A is dan negatief

3. Triggerlevel $B < 0$

NB: Voor B geldt dat R_1 (tweezijdig geaard) en R_2 (niet in de lus) \Rightarrow D geen invloed hebben op de werking

b) Dimensioneer de door jou gekozen schakeling; d.w.z. kies geschikte waarden voor de weerstanden R_1 , R_2 , R_3 en R_4 en de voedingsspanning V_{dd} .

$R_1 =$	Ω	$R_2 =$	Ω	$R_3 =$	Ω	$R_4 =$	Ω	$V_{dd} =$	V
---------	----------	---------	----------	---------	----------	---------	----------	------------	---

Berekening:

$$U_{h1} = k_1 U_{o, \max} = k_1 V_{DD}$$

$$U_{h2} = k_1 U_{o, \min} = 0$$

$$k_1 = \frac{R_1}{R_1 + R_2} \cdot \frac{R_3 + R_4}{R_3}$$

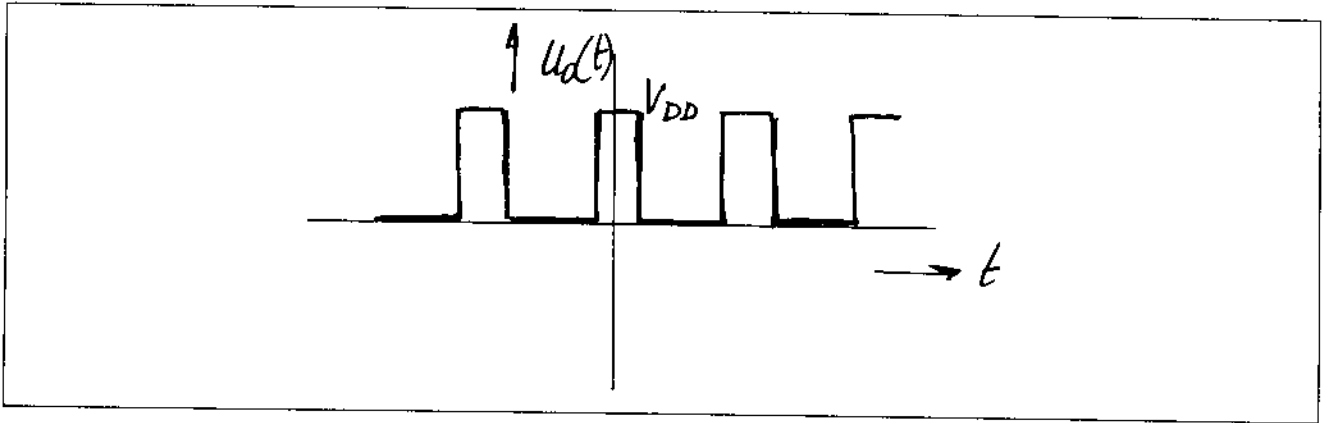
$$\text{triggerlevel} = \frac{U_{h1} + U_{h2}}{2}$$

$$\text{triggerwindow} = U_{h1} - U_{h2}$$

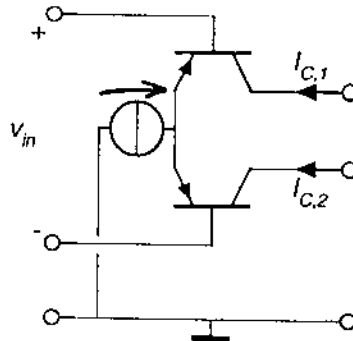
meerdere antwoorden mogelijk.

c) Schets de grafiek van $u_o = u_o(t)$.

5



De operationele versterker is opgebouwd uit een aantal versterkende trappen in cascade. Deze trappen zijn op hun beurt opgebouwd uit voornamelijk transistoren. De eerste trap bestaat uit een zogenaamd verschilpaar, zijnde twee transistoren in anti-serie, welke van stroom worden voorzien door een stroombron. Zie onderstaand schema.



3.2. Gevraagd:

a) Welk type transistoren is hier gebruikt?

- Bipolair, NPN
- Bipolair, PNP
- NMOS
- PMOS
- N-JFET
- P-JFET

b) Geef in bovenstaande figuur met behulp van een pijl de stroomrichting van de stroombron aan.

c) Is $I_{C,1}$ positief of negatief? Verklaar je antwoord.

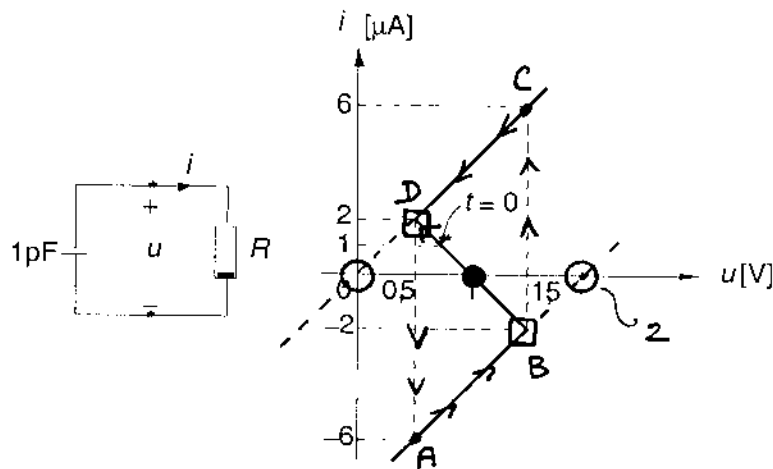
$I_{C,1}$ is *negatief* Verklaring:

Door een pnp-transistor loopt de stroom van emitter naar collector en basis. Dit komt overeen met de orientatie van de stroombron.

4. Oscillator (8 punten)

Gegeven:

onderstaand circuit gedraagt zich als een relaxatie oscillator. De niet-lineaire R heeft de geschetste u i -karakteristiek. Op de tijd $t = 0$ is de stroom $i(0) = 1 \mu\text{A}$.



Gevraagd:

- a) Geef met behulp van pijtjes de dynamische route aan, die doorlopen wordt vanaf $t = 0$. Markeer de eventueel aanwezige evenwichtspunten en impassepunten.

zie figuur boven
 \square = impasse punten
 \circ = evenwichtspunten, stabiel
 \bullet = idem, instabiel

Berekening tijdconstanten nodig voor org(b) enc

Voor I: $R = \frac{1,5 - 0,5}{(6 - 2) \cdot 10^{-6}} = \frac{1}{4} \cdot 10^6$
 $\tau = RC = \frac{1}{4} \cdot 10^6 \cdot 10^{-12} = \frac{1}{4} \cdot 10^{-6}$

Voor II idem: $\tau = \frac{1}{4} \cdot 10^{-6}$

Voor III: $\frac{1,5 - 0,5}{(-2 - 2) \cdot 10^{-6}} = -\frac{1}{4} \cdot 10^6$
 dus $\tau = -\frac{1}{4} \cdot 10^{-6}$

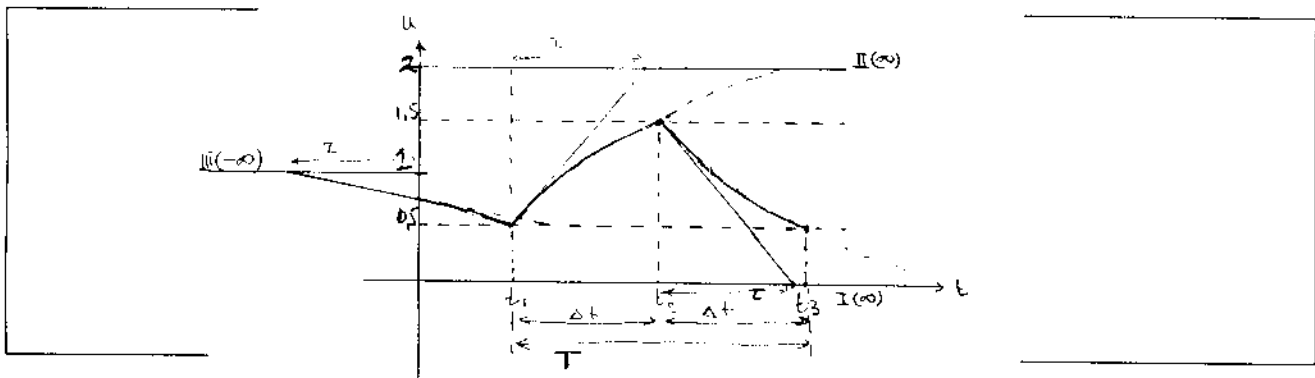
Berekeningen tijden van $t_0 \rightarrow t_1$ (in D)

$$t_1 - t_0 = \tau \ln \frac{i(t_0) - i(\infty)}{i(t_1) - i(\infty)} = \frac{1}{4} \cdot 10^{-6} \ln 2$$

Zie Δt (van A \rightarrow B) = Δt (van C \rightarrow D)

$$\Delta t = \frac{1}{4} \cdot 10^{-6} \cdot \ln 3 = \tau \ln 3$$

- b) Schets de grafiek van $u = u(t)$.



- c) Vraag 1a ging over de conversieconstante, die het verband aangeeft tussen de waarde van de condensator en de oscilatiefrequentie. Bereken de conversieconstante K van deze schakeling.

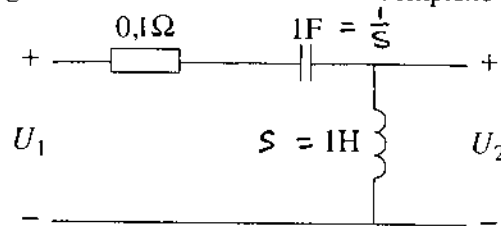
conversieconstante K = Hz.F Berekening:

$$T = 2\Delta t = \frac{1}{2} \cdot 10^{-6} \cdot \ln 3 \rightarrow f = \frac{1}{T} = \frac{2}{\ln 3} \cdot 10^6$$

$$K = f \cdot C = \frac{2}{\ln 3} \cdot 10^6 \cdot 10^{-12} = \frac{2}{\ln 3} \cdot 10^{-6} \approx \underline{\underline{1,82 \cdot 10^{-6}}}$$

5. Elektrische Circuits (15 punten)

Gegeven: onderstaande spanningsdeler in het fasordomein met complexe frequentie s .



5.1. **Gevraagd** (7 punten):

a) Bepaal de overdrachtsverhouding $H(s) = U_2/U_1$ en schrijf deze in zijn *standaard vorm* (reële rationale functie van s).

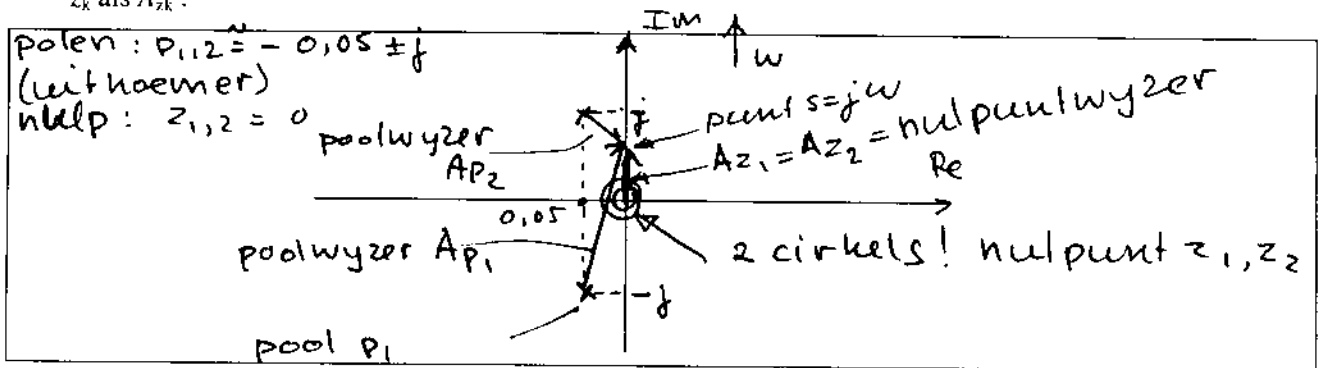
$H(s) = \frac{s^2}{(s^2 + 0,1s + 1)}$

Berekening: spanningsdeling!

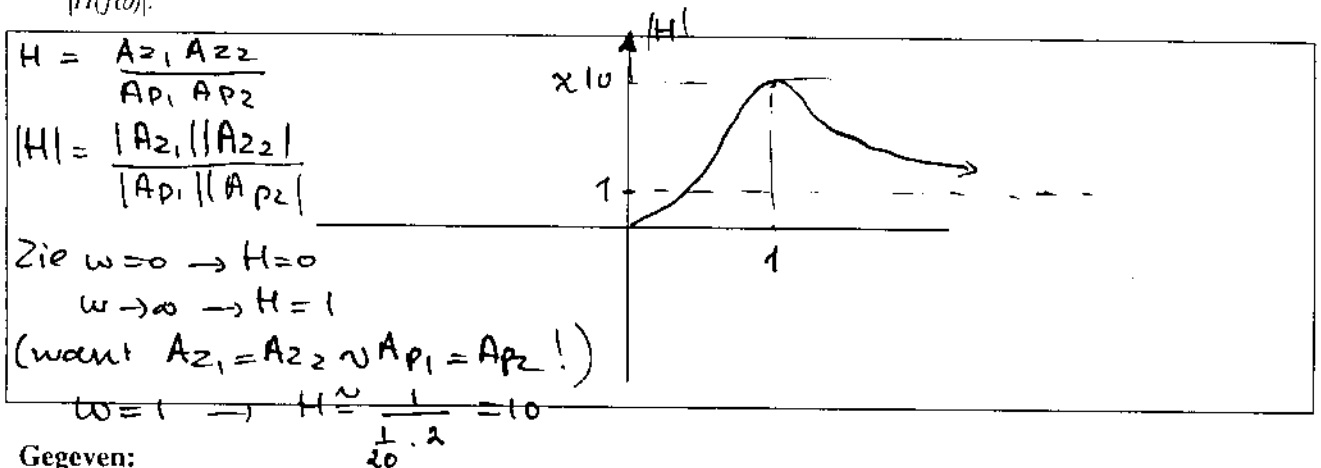
$$U_2 = \frac{s}{s + \frac{1}{s} + \frac{1}{10}} U_1 \rightarrow H = \frac{s^2}{s^2 + 0,1s + 1}$$

ook goed: $H = \frac{10s^2}{10s^2 + s + 1}$

b) Teken het pool-nulpunt diagram van $H(s)$ en teken de pool- en nulpuntwijzers behorende bij een willekeurige waarde van $s = j\omega$. Noteer de poolwijzer bij pool p_i als A_{p_i} en de nulpuntwijzer bij nulpunt z_k als A_{z_k} .

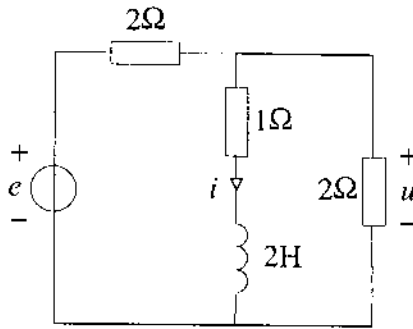


c) Noteer $H(s) = H(j\omega)$ met behulp van de pool- en nulpuntwijzers en schets vervolgens de grafiek van $|H(j\omega)|$.



Gegeven:

De spanningsbron is stuksgewijs constant en heeft de sterkte $e = 0$ V voor $t < 0$, $e = 2$ V voor $0 < t < 2$ en $e = -2$ V voor $t > 2$. Vlak voor $t = 0$ is de inductiviteit ontflukt.



5.2. **Gevraagd** (8 punten):

a) bereken de evenwichtsspanning u_∞ voor $e = 2\text{ V}$ en $e = -2\text{ V}$.

$e = 2\text{ V}: u_\infty = 0,5\text{ V}$	$e = -2\text{ V}: u_\infty = -0,5\text{ V}$
Berekening: $L = \text{kort}!!$ $R = 1/2 \rightarrow \frac{2}{3}\ \Omega$ $u_\infty = \frac{2/3}{2+2/3} \cdot e = \frac{1}{4} e$	
	$e = 2 \rightarrow u_\infty = \frac{1}{2}$ $e = -2 \rightarrow u_\infty = -\frac{1}{2}$

b) Bereken de spanningsprong u_{sprong} in $u = u(t)$ op $t = 0$ en $t = 2$.

$t=0: u_{\text{sprong}} = 1\text{ V}$	$t=2: u_{\text{sprong}} = -2\text{ V}$
Berekening: $L = \text{open}$ $e = e_{\text{sprong}}$ $u_s = \frac{2}{2+2} \cdot e_s = \frac{1}{2} e_s$	
	$t=0 \quad e_s = 2$ $\rightarrow u_s = 1$ $t=2 \quad e_s = -4!!$ $\rightarrow u_s = -2$

c) Bereken $u(0^+)$ en de tijdconstante τ .

$u(0^+) = 1\text{ V}$	$\tau = 1\text{ s}$
Berekening: $u(0^+) = u(0^-) + u_s(0) = u_s(0) = 1$ $\tau: e = 0 \Rightarrow \text{kort, sloop } L$ $\text{Zie } R = 1 + 2/2 = 2$ $\tau = GL = \frac{1}{2} \cdot 2 = 1$	

d) Bereken en teken de grafiek van $u = u(t)$.

Berekening: via $u - u_\infty = (u_0 - u_\infty) e^{-t/\tau}$ $t < 0: u = 0$ $0 < t < 2: u = \frac{1}{2} (1 + e^{-t})$ $u(2^+) = u(2^-) + u_s(2) = -\frac{3}{2} + \frac{1}{2} e^{-2}$ $t > 2: u = -\frac{1}{2} - \left\{ -1 + \frac{1}{2} e^{-2} \right\} e^{-(t-2)}$	
--	--

Geintegreerde Systemen ET1 005

Design Data for 0.25 μ m CMOS

MOS Design Data

Table 3.2 Parameters for manual model of generic 0.25 μ m CMOS process (minimum length device).

	V_{T0} (V)	γ (V ^{0.5})	V_{DSAT} (V)	K' (μ A/V ²)	λ (V ⁻¹)
NMOS	0.43	0.4	0.63	115×10^{-6}	0.06
PMOS	-0.4	-0.4	-1	-30×10^{-6}	-0.1

Table 3.3 Equivalent resistance R_{eq} ($W/L=1$) of NMOS and PMOS transistors in 0.25 μ m CMOS process (with $L = L_{min}$). For larger devices, divide R_{eq} by W/L .

V_{DD} (V)	1	1.5	2	2.5
NMOS ($k\Omega$)	35	19	15	13
PMOS ($k\Omega$)	115	55	38	31

Table 3.5 Capacitance parameters of NMOS and PMOS transistors in 0.25 μ m CMOS process.

	C_{ox} (fF/ μ m ²)	C'_0 (fF/ μ m)	C'_j (fF/ μ m ²)	m_j	Φ_b (V)	C'_{jsw} (fF/ μ m)	m_{jsw}	Φ_{bsw} (V)
NMOS	6	0.31	2	0.5	0.9	0.28	0.44	0.9
PMOS	6	0.27	1.9	0.48	0.9	0.22	0.32	0.9

Interconnect Design Data

Table 4.2 Wire area and fringe capacitance values for typical 0.25 μ m CMOS process. The table rows represent the top plate of the capacitor, the columns the bottom plate. The area capacitances are expressed in aF/ μ m², while the fringe capacitances (given in the shaded rows) are in aF/ μ m.

	Field	Active	Poly	A11	A12	A13	A14
Poly	88						
	54						
A11	30	41	57				
	40	47	54				
A12	13	15	17	36			
	25	27	29	45			
A13	8.9	9.4	10	15	41		
	18	19	20	27	49		
A14	6.5	6.8	7	8.9	15	35	
	14	15	15	18	27	45	
A15	5.2	5.4	5.4	6.6	9.1	14	38
	12	12	12	14	19	27	52

Table 4.3 Intertwive capacitance per unit wire length for different interconnect layers of typical 0.25 μ m CMOS process. The capacitances are expressed in aF/ μ m, and are for minimally-spaced wires.

Layer	Poly	A11	A12	A13	A14	A15
Capacitance	40	95	85	85	85	115

Table 4.5 Sheet resistance values for a typical 0.25 μ m CMOS process.

Material	Sheet Resistance (Ω/\square)
n- or p-well diffusion	1000 – 1500
n^+ , p^+ diffusion	50 – 150
n^+ , p^+ diffusion with silicide	3 – 5
n^+ , p^+ polysilicon	150 – 200
n^+ , p^+ polysilicon with silicide	4 – 5
Aluminum	0.05 – 0.1