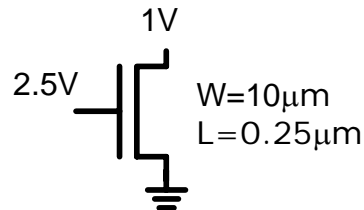


Oefenopgaven 1 – Devices

Opgave 1.1

Beschouw onderstaande transistor. De technologie is de $0.25\mu\text{m}$ technologie uit het boek, maar we nemen $\lambda=0$ en $V_{\text{DSAT}}=\infty$. (Opm.: De zinsnede ‘...is de $0.25\mu\text{m}$ technologie uit het boek’ betekent dat alle gegevens, tenzij ze niet expliciet anders gegeven zijn, te vinden zijn op de binnenkanten van de voorflap en achterflap van het boek. Wanneer er geen gegevens vermeld zijn moeten ook de gegevens uit het boek aangenomen worden. Deze uitleg zal meestal niet expliciet vermeld worden.)



a. Bepaal het werkgebied van de transistor.

Werkgebied:

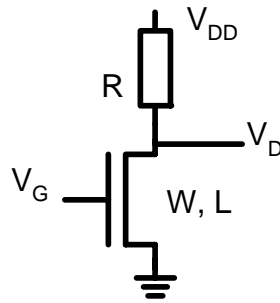
b. Bereken de drain stroom I_d . Geef ook de hoofdstappen van de berekening.

$I_d =$

Berekening:

Opgave 1.2

Beschouw onderstaande schakeling.



a. Neem aan dat de transistor in het lineaire (=triode = resistieve) gebied ingesteld is. Geef de symbolische circuitvergelijking voor de spanning V_D . Weer geldt de technologie uit het boek met $\lambda=0$ en $V_{DSAT}=\infty$. Opm.: met de symbolische circuitvergelijking wordt een vergelijking bedoeld zonder getallen, maar met alleen de parameters.)

b. Neem nu $R = 170\Omega$, $V_{DD} = V_G = 2.5V$, $W=10\mu\text{m}$, $L=0.25\mu\text{m}$. Bepaal de spanning V_D , aannemende dat de transistor in het lineaire gebied is ingesteld.

$V_D =$

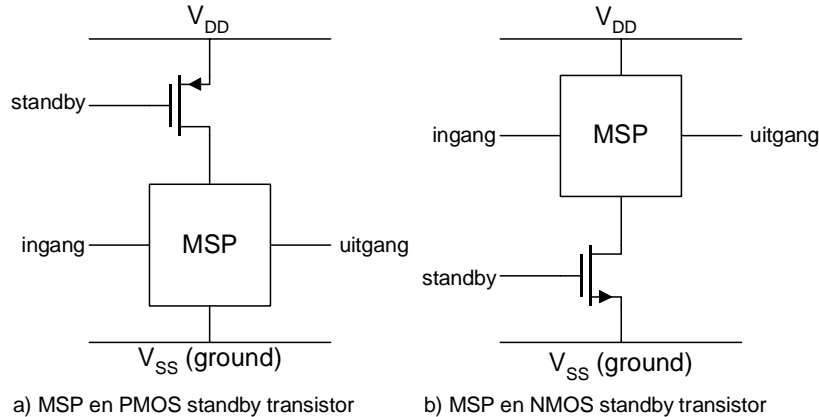
Berekening (hoofdstappen):

c. Verifieer dat de transistor bij de uitkomst V_D van het vorige onderdeel inderdaad in het lineaire gebied is ingesteld.

Bewijs:

Opgave 1.3 (tentamen 26 augustus 2004)

Beschouw nu een schakeling die in een accu-gevoed systeem opgenomen wordt, zoals bijvoorbeeld een mobiele telefoon. Ter verlenging van accu levensduur is het van belang om de schakeling in een standby mode te kunnen zetten waarbij er geen (of zo weinig mogelijk) stroom aan de accu onttrokken wordt. Zie onderstaand principe schema. Hier duidt 'MSP' een mixed-signal-processor aan die stroomloos gemaakt moet worden, de functie van dit onderdeel doet er verder niet toe. Dit onderdeel kan stroomloos gemaakt worden door met een transistor te schakelen in de V_{DD} of V_{SS} (aarde=ground) aansluiting van de MSP. Zie onderstaande figuur voor de twee alternatieven.



De standby transistor, zowel in schakeling a) als b), moet de maximaal benodigde stroom voor de MSP zonder noemenswaardige spanningsval over deze transistor kunnen voeren. De MSP, inclusief de standby transistoren, wordt gemaakt in de $0,25 \mu\text{m}$ technologie uit de 2e editie van Rabaey. Ga uit van de transistorparameters van de binnenkant achterflap (of bijlage). De voedingsspanning is 2,5V.

Beschouw nu schakeling a) (met de PMOS transistor).

Gevraagd:

- a. In welk werkgebied staat de transistor als standby = 0 (oftewel, de gate van de PMOS is laag) en $|V_{ds}| < 0.1\text{V}$?

Werkgebied:
Verklaring:

- b. Bepaal de minimale breedte van de PMOS transistor (bij $L=0.25 \mu\text{m}$), zodanig dat $|V_{ds}| < 0.1 \text{ V}$ bij $|I_{ds}| = 10 \text{ mA}$.

$W_{\min} =$
Berekening:

- c. Waarom moet je bovenstaande berekening doen m.b.v. de stroomformule(s) van de transistor en kun je niet werken met R_{eq} ?

Verklaring:

- d. Waarom is het van belang om de standby transistor (en in het algemeen de hele schakeling) zo klein mogelijk te maken?

Verklaring

Moderne IC fabricage processen bieden soms een keuze voor de drempelspanning van de transistoren. Neem nu aan dat er de volgende mogelijkheden zijn, genaamd ‘Standaard’ en ‘low- V_t ’.

	<i>NMOS</i>		<i>PMOS</i>	
Standaard	NMOS1	$V_{t0} = 0.43V$	PMOS1	$V_{t0} = -0.4V$
low-V_t	NMOS2	$V_{t0} = 0.3V$	PMOS2	$V_{t0} = -0.3V$

Verder zijn alle transistorparameters gelijk aan de standaardparameters voor NMOS en PMOS uit de 2^e editie van Rabaey, de low- V_t transistoren verschillen alleen wat betreft de drempelspanning van hun ‘standaard’ tegenhangers.

- e. Gevraagd: Met welk type transistor kan de standby-transistor het kleinste worden?

<input type="checkbox"/> NMOS1 (standaard)	<input type="checkbox"/> NMOS2 (low V_t)	<input type="checkbox"/> PMOS1 (standaard)	<input type="checkbox"/> PMOS2 (low V_t)
---	--	---	--

Verklaring:

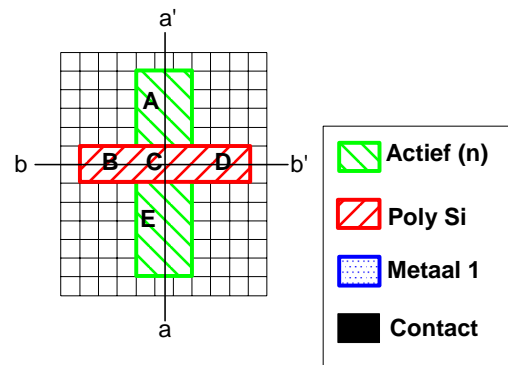
Oefenopgaven 2 – Process

Opgave 2.1

Beschouw nevenstaande layout van een transistor met layer map.

a. Geef voor ieder van de aansluitingen gate, source, drain aan uit welke letters A-E (zie de layout) het gebied bestaat.

G:	S:	D:
----	----	----



b. Teken een doorsnede langs a-a' en b-b'

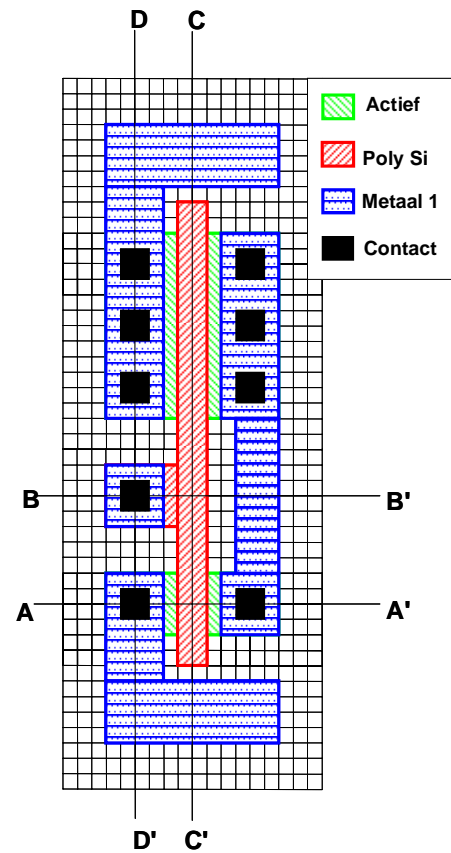
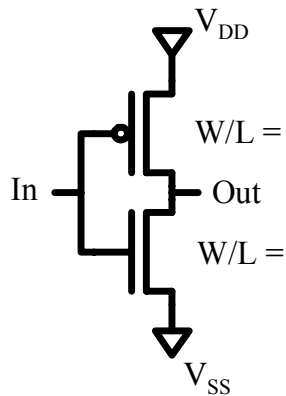
Doorsnede a-a':	Doorsnede b-b':
-----------------	-----------------

Opgave 2.2

Beschouw nevenstaande layout van een invertor.

a. Teken hieronder de doorsnedes langs A-A', B-B', C-C' en D-D'.

b. Geef in het equivalente transistorschema hieronder aan wat de W/L verhoudingen van de transistoren zijn. (De bovenste transistor in de layout is de p-transistor, en de onderste in de layout is de n-transistor.)



c. Geef in de layout hiernaast aan waar zich de aansluitingen (uit het schema hierboven) In, Out, V_{DD} en V_{SS} bevinden.

Doorsnede A-A':	Doorsnede B-B':
Doorsnede C-C':	Doorsnede D-D':

Oefenopgaven 3 – Interconnect

Opgave 3.1

Een draad is gemaakt van een materiaal met een specifieke weerstand $\rho = 4 \mu\Omega\text{cm}$. De draad heeft een dikte (t) van 1200 \AA (1 Angstrom (\AA) is 10^{-10} m). De draad heeft een breedte (w) van $0.6 \mu\text{m}$.

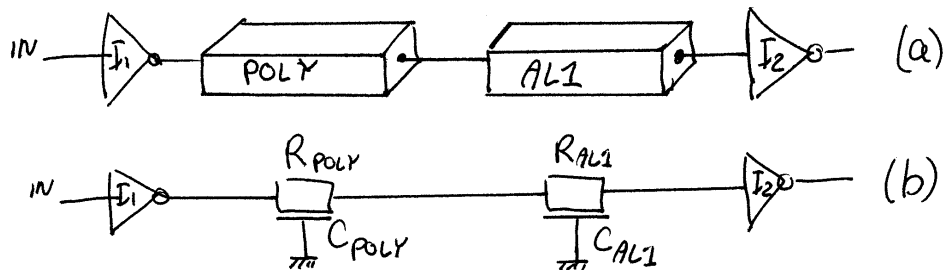
a. Geef de formule voor het berekenen van de sheet weerstand, zonder het invullen van de parameters. Geef daarna het antwoord, zonder berekening. Vergeet niet de eenheid.

Formule: $R_{\square} =$
Antwoord: $R_{\square} =$

b. Bereken de weerstand van een draad met een lengte (l) van $125 \mu\text{m}$. Eerst formule zonder numerieke waarden, en daarna antwoord zonder berekening. Vergeet niet de eenheid.

Formule: $R =$
Antwoord: $R =$

Opgave 3.2 (10 juni 2003)



a. Beschouw een deelsysteem op een chip zoals met (a) aangeduid in de bovenstaande figuur. De lengte en breedte van het poly-segment bedragen respectievelijk $100\ \mu\text{m}$ en $1\ \mu\text{m}$, en van het Al_1 -segment respectievelijk $1000\ \mu\text{m}$ en $1\ \mu\text{m}$. Deze segmenten lopen op de chip direct boven het substraat (field). Neem voor Poly $R_{\square} = 5\ \Omega$ en voor Al_1 $R_{\square} = 0.1\ \Omega$, en voor C de waarden uit de tabellen van Rabaey (binnenkant achterflap of bijlage). Bereken de R en C waarden voor het vervangingschema wat in de bovenstaande figuur met (b) is aangeduid.

Waarde	Berekening
$R_{\text{poly}} =$	
$C_{\text{poly}} =$	
$R_{\text{al1}} =$	
$C_{\text{al1}} =$	

b. Bereken de Elmore delay van In_1 naar de ingang van I_2 , als I_1 een uitgangsweerstand van $1\text{k}\Omega$ en I_2 een ingangscapaciteit van 25fF heeft.

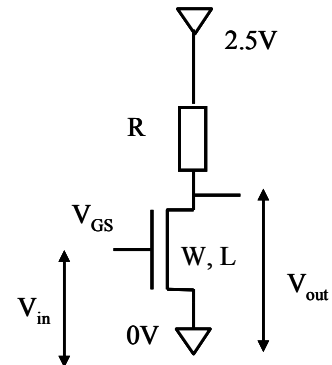
$T_{\text{ed}} =$

Berekening:

Oefenopgaven 4 – Inverter

Opgave 4.1

Beschouw nevenstaande schakeling, een zogenaamde pseudo-NMOS inverter. De transistorgegevens zijn die uit het boek, maar met $\lambda = 0$ (we verwaarlozen kanaallengtemodulatie).



a. Geef hieronder de symbolische formule voor het berekenen van de W/L verhouding voor de schakelspanning V_m wanneer deze in de buurt van de 1.25 Volt dient te liggen.

$W/L =$

b. Wanneer V_m in de buurt van de 0.6V zou liggen, verandert dan je antwoord op onderdeel a?

Het antwoord verandert wel/niet, omdat

c. Stel dat in bovenstaande schakeling $R = 10k\Omega$, $W=5\mu m$ en $L=0.25\mu m$. Bereken dan de T_{pHL} en de T_{pLH} . Je hoeft voor de transistor niet met de stroomformule te rekenen, maar je kunt de equivalente aan-weerstand gebruiken. De belastingcapaciteit is $C_{load} = 1fF$. Geef eerst de formules, dan het antwoord.

(formule)

$T_{pHL} =$

(antwoord)

$T_{pHL} =$

(formule)

$T_{pLH} =$

(antwoord)

$T_{pLH} =$

d. Wanneer met behulp van bovenstaande schakeling een ringoscillator gemaakt wordt met 5 trappen, wat is dan de oscillatiefrequentie? Druk je antwoord uit in de symbolische waarden T_{pHL} en de T_{pLH} .

$f =$

e. We nemen weer $R = 10\text{k}\Omega$ en kiezen W/L zo dat $V_{OL} = 0.5\text{V}$. Wanneer de ingang 70% van de tijd een logische 1 en 30% van de tijd een logische 0 is, wat is dan de (gemiddelde) statische powerdissipatie?

$P_{\text{stat}} =$

Berekening:

f. Wanneer de schakelfrequentie 100 MHz is, wat is dan de dynamische powerdissipatie? Weer geldt $R = 10\text{k}\Omega$ en $V_{OL} = 0.5\text{V}$. Verder nemen $C_{\text{load}} = 1\text{fF}$.

$P_{\text{dyn}} =$

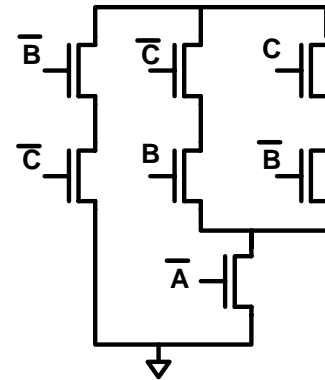
Berekening:

Oefenopgaven 5 – Combinational

Opgave 5.1 (22 juni 2001)

Gegeven is een zogenaamde “democratische schakeling” waarvan de waarheidstabel hiernaast rechts gegeven is. De uitgang is één wanneer de meerderheid van de ingangen één is.

A	B	C	D
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



a. Het transistorschema van het pull-down netwerk van een complementaire CMOS uitvoering van deze democratische schakeling is hierboven helemaal rechts gegeven. Teken hieronder het bijbehorende pull-up netwerk. Geef bij iedere transistor-gate duidelijk de ingang aan.

b. Dimensioneer de transistoren (geef de W/L verhouding) van het pull-down netwerk, zodanig dat de worst-case effectieve R_{on} overeenkomt met de R_{on} van een inverter met een W/L van het pull-down netwerk gelijk aan 2. Geef uw antwoorden weer in het schema van het pull-down netwerk.

c. (Extra t.o.v. tentamen 22/6) Omcirkel de transistoren in het schema van het pull-down netwerk welke last kunnen hebben van het body effect.

d. (Extra t.o.v. tentamen 22/6). Neem aan (niet het antwoord op vraag **b**) dat de W/L verhouding van alle transistoren in het pull-down netwerk gelijk is aan 4. De transistoren zijn gekarakteriseerd door de gegevens uit het boek van Rabaey. Wat zijn dan de effectieve pull-down weerstanden voor de minimale en maximale pull-down vertraging? Geef ook een voorbeeld van een ingangscombinatie (*vector*) voor deze twee situaties.

$R_{\min} =$	$R_{\max} =$
(ABC) =	(ABC) =

Opgave 5.2 (28 augustus 2002)

Beschouw een complementary static CMOS gate voor de formule $r = (a'c' + b'c' + abc)'$

a. Teken het transistor schema van het pull-down netwerk van een and-or-invert gate wat bovenstaande formule voor r realiseert. Neem aan dat ook de inverse signalen a' , b' en c' beschikbaar zijn. Een oplossing met 6 transistoren kan 4 punten opleveren, een oplossing met 7 transistoren maximaal 3 punten.

Schema:

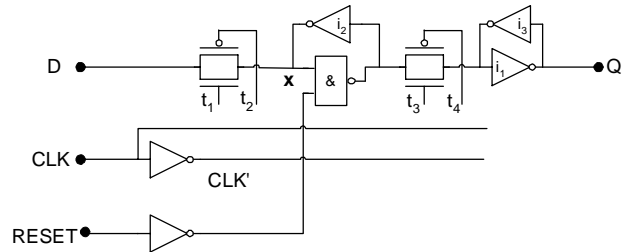
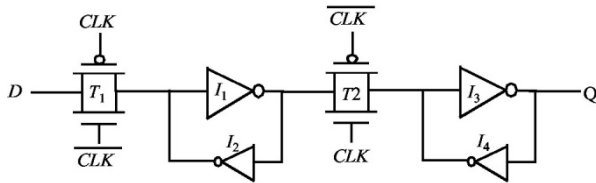
b. Dimensioneer het pull-down netwerk zodanig dat de equivalente sterkte (*drive-strength*) gelijk is aan die van een invertor met minimale afmetingen. Geef W en L bij (naast) iedere transistor in bovenstaand schema, en geef hieronder de berekeningen.

Berekeningen:

Oefenopgaven 6 – Sequential

Opgave 6.1 (28 augustus 2002)

Beschouw de realisatie van een flip-flop. Een variant zoals in het boek gegeven is de zogenaamde ‘Ratioed Reduced Clock Load Register’ zoals ook hieronder weergegeven, zodanig dat de uitgang verandert op de neergaande klok flank. Een variant is rechts weergegeven.



a. Van deze variant schakeling ontbreken de verbindingen van $t_1 - t_4$ met CLK en CLK'. Voeg deze toe (teken ze erbij in bovenstaande figuur), zodanig dat de uitgang Q verandert op de neergaande klokflank.

b. Wat is de functie van de invertoren i_2 en i_3 (in het tweede schema, onze variant van de flip-flop)?

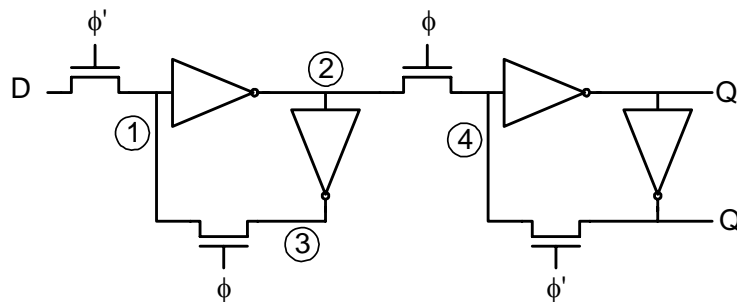
c. Stel dat de D -ingang van onze flip-flop gestuurd wordt door een minimum-size inverter, en ook dat de transmissie-gate transistoren de minimum afmetingen hebben. Teken dan hieronder het equivalente transistorschema wat zorgt voor de hoog-naar-laag overgangen op het punt x . Geef van de 2 bekende transistoren (die van de sturende inverter en de transmissiegate) de afmetingen van de transistoren in λ . **Tip:** het schema bevat 3 transistoren. Let op het type. Noteer de afmetingen (W en L) naast de transistoren.

d. Bepaal de minimum afmetingen van de derde transistor zodanig dat het punt x beneden $V_{DD}/2$ getrokken kan worden.

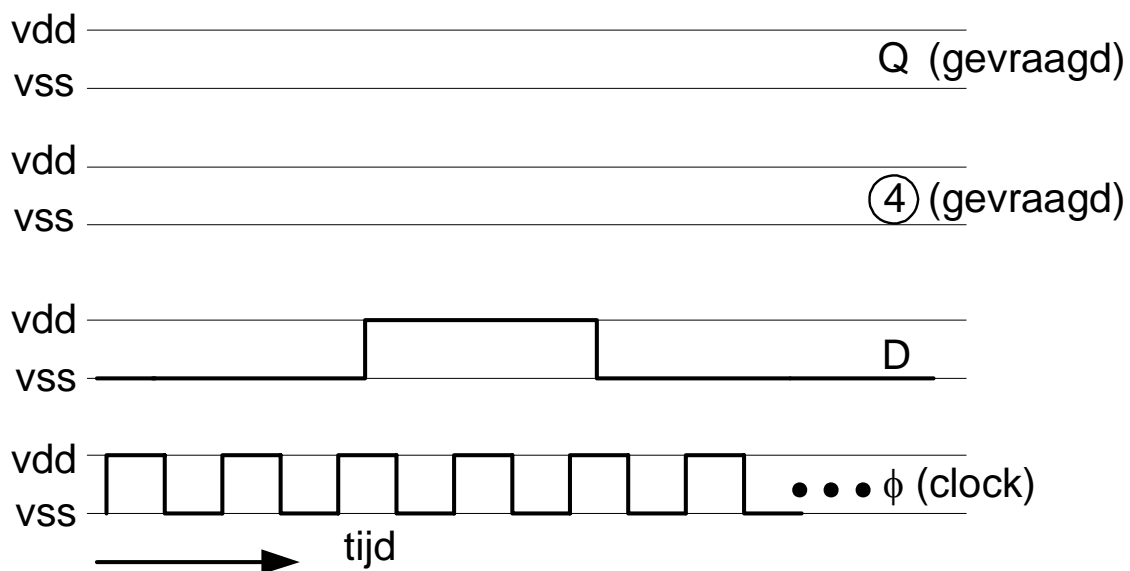
W = λ L = λ
Berekening:

Opgave 6.2 (22 augustus 2005)

Beschouw nu onderstaande implementatie van een master-slave D-flip-flop.



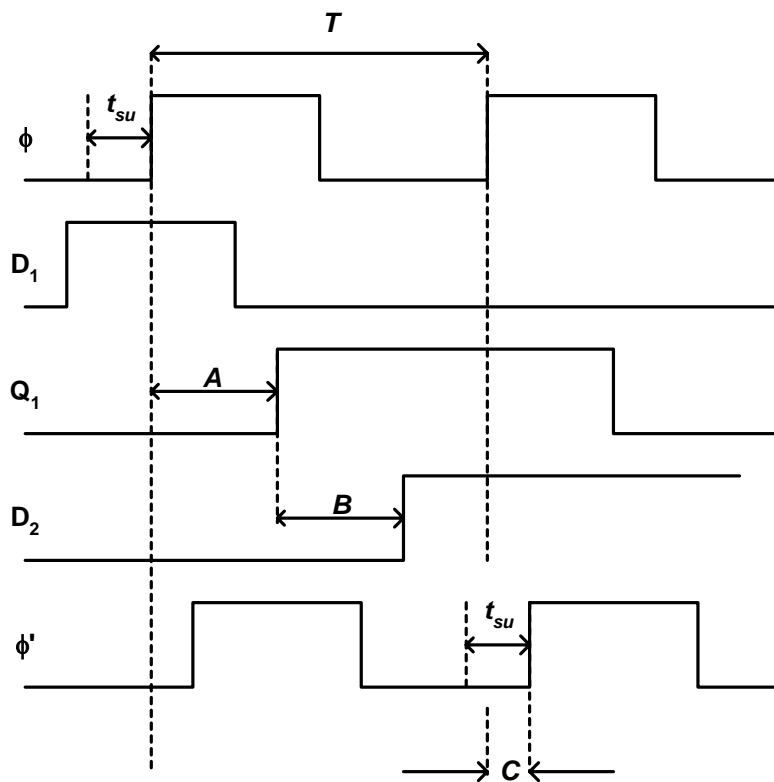
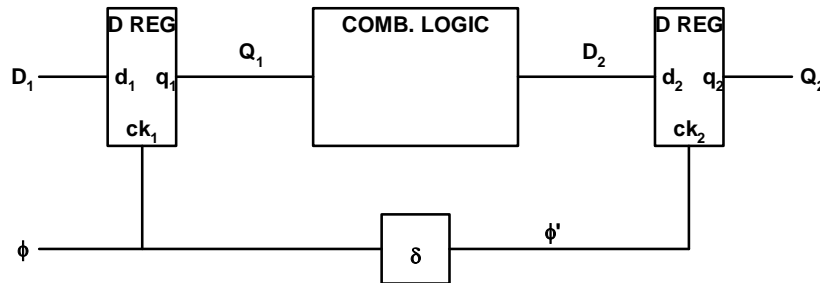
Onderstaand diagram toont het klok signaal en het D-sigitaal als functie van de tijd. Teken in hetzelfde diagram de signalen op knooppunt 4 en op de Q-uitgang. Beschouw het system als vertragsingsloos, maar hou indien van toepassing wel rekening met drempelspanningsverliezen.



Oefenopgaven 7 – Timing

Opgave 7.1 (16 juni 2004)

Gegeven onderstaande sequentiële schakeling, en bijbehorend timing diagram. In dit timing diagram is t_{su} de setup-time van de registers en T de klok periode.



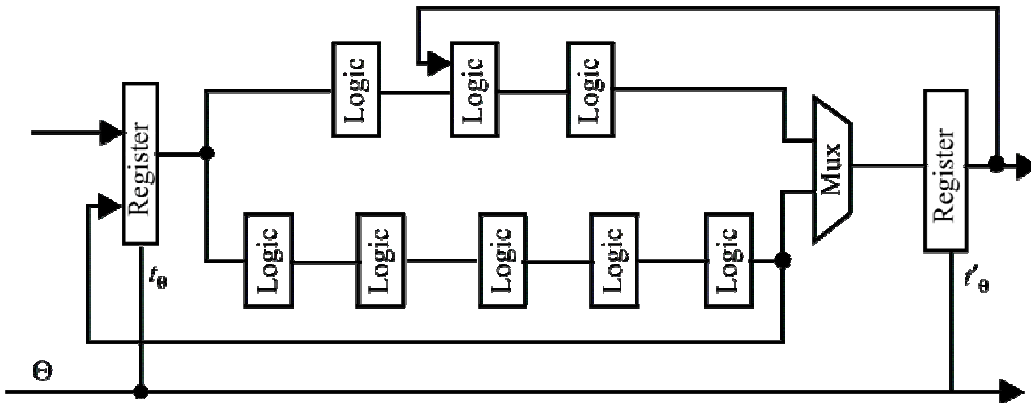
- a. De registers hebben een clock-naar-Q delay gegeven door t_{cq} , de logica heeft een propagatietijd t_{logic} , en de clock-skew wordt aangegeven door δ . Geef in onderstaande tabel aan welke van de tijden aangegeven met A, B en C in bovenstaand diagram overeenkomen met t_{cq} , t_{logic} en δ .

A =	B =	C =
-----	-----	-----

- b. Als er tijd over is (als de klok niet op maximaal toelaatbare snelheid loopt), spreekt men van ‘slack’. Hiermee wordt, bij een gegeven klok frequentie en eventueel bekende skew, de tijd bedoeld die het data signaal eventueel later bij een register aan mag komen zonder dat de correcte werking van de schakeling verloren gaat. Geef in bovenstaande figuur de slack aan op eenzelfde manier als de andere kritieke tijden zijn aangegeven (met de horizontale pijlen).

Opgave 7.2

Beschouw onderstaande schakeling



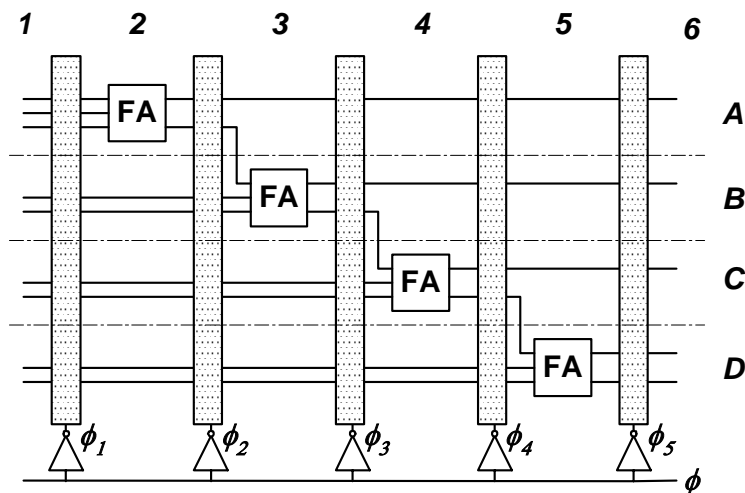
Neem een eenheids-delay voor de registers en de logic, dus $T_r = T_l = 1$, en een 2 maal zo grote vertraging voor de multiplexer, $T_m = 2 T_l = 2$. De registers zijn positive-edge-triggered, en hebben een setup-time, $T_s = 1$.

- Bepaal de 4 verschillende logische paden die in de schakeling voor de timing zorgen. Teken pijlen in het schema.
- Bepaal voor ieder van de paden de propagatie-vertraging.
- Bepaal de minimum klok periode wanneer de klok-skew $\delta = t'_\theta - t_\theta = 0$.
- Idem, wanneer $\delta = 1$.
- Idem, wanneer $\delta = 4$.

Oefenopgaven 8 – Modulariteit

Opgave 8.1 (12 juni 2001)

Beschouw onderstaande 4-bit opteller. Deze is onderdeel van een digitale signaalbewerker, en het is belangrijk om de hoogste *throughput* (doorvoersnelheid) te behalen. Daarom is het pijplijn principe doorgevoerd tot op bit-nivo. De verticale balken geven flipflop-kolommen aan (flipflop is latch of register), de stippellijnen en de cijfers en letters buiten de schakeling delen de schakeling in als het kader van een wegekaart.

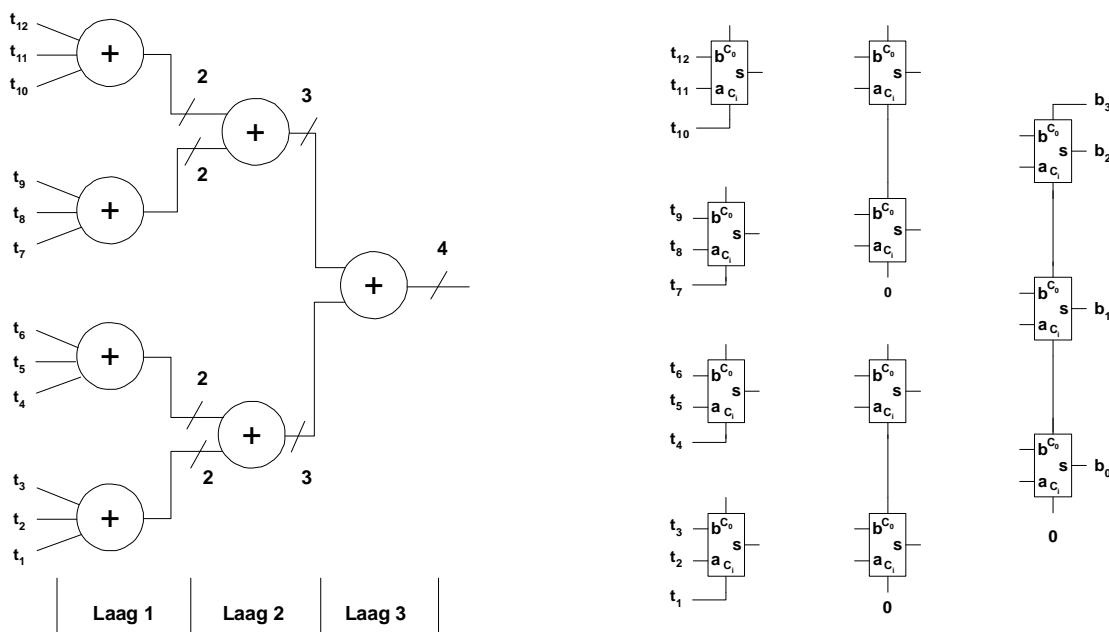


- Geef in bovenstaande figuur aan waar zich de volgende signalen bevinden:
 A_0 - A_3 , B_0 - B_3 (de ingangssignalen) en S_0 - S_4 (de uitgangssignalen).
- Geef (in de figuur) de correcte logische waarde aan het overblijvende signaal.
- Laat T_{carry} de vertraging zijn van de ingangen van de full-adder naar de carry uitgang, en T_{som} hetzelfde voor het som signaal. De maximale kloksnelheid wordt (mede) bepaald door:
 - T_{carry} , maar niet of nauwelijks door T_{som}
 - T_{som} , maar niet of nauwelijks door T_{carry}
 - $T_{\text{carry}} + T_{\text{som}}$
 - $\text{Max}(T_{\text{carry}}, T_{\text{som}})$
 - $\text{Min}(T_{\text{carry}}, T_{\text{som}})$
- Wanneer het klok-circuit skew geeft, zit de relevante skew tussen
 - ϕ_1 en ϕ_5
 - ϕ_i en ϕ_{i+1}

Verklaring:

Opgave 8.2

Snelle analoog-digitaal omzeters zetten het analoge signaal in veel gevallen eerst om in een digitaal signaal volgens een zogenaamde ‘thermometer codering’. Dit is een radix 1 code. (Het tellen met je vingers is ook een thermometer code.) Voor het omzetten naar binair (radix 2) kan het aantal enen geteld worden. Het tellen van het aantal enen kan geschieden door ieder bit van de thermometer code te beschouwen als een 1-bit getal, en al die getallen bij elkaar op te tellen. Voor de optellers kun je dan normale full-adder cellen gebruiken, en om een aantal bits bij elkaar op te tellen kun je de optelling onderverdelen in lagen. Iedere laag heeft een aantal optellers, maar dit aantal neemt af bij hogere lagen, terwijl de bitbreedte van iedere opteller toeneemt. In de tekening hieronder links is dit principe weergegeven en zijn de bitbreedtes aangegeven door de schuine streepjes met het cijfer.



a. Geef in de tekening hierboven rechts aan hoe de verschillende Full-Adder cellen met elkaar verbonden moeten worden, m.a.w. maak de schakeling af door de bedrading te tekenen.

b. De schakeling hierboven is, zoals getekend, geschikt voor een 12-bits thermometer code. Hoe kun je de schakeling modificeren, zonder extra componenten (zoals Full-Adders of andere logische poorten) te gebruiken, zodanig dat hij een 15-bits thermometer code kan omzetten naar binair?