

Naam:

Studienummer:

Elektronische Schakelingen

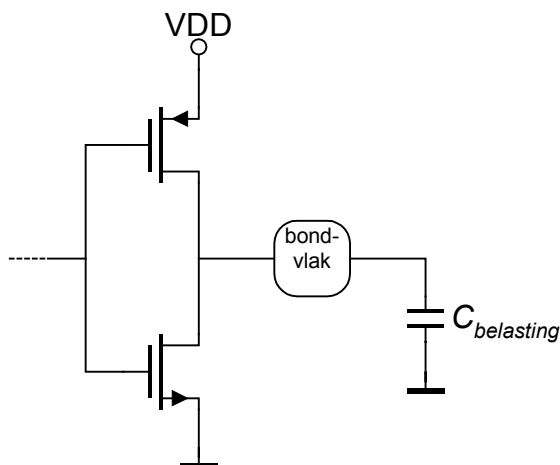
Kwartaaltentamen 4^e kwartaal, 12 juni 2001, 14:00 – 16:00.

*Gebruik deze opgavenbladen ook voor de antwoorden, in de aangegeven ruimtes en sjablonen, maar houd ze beknopt. Eventueel kunt u extra bladen gebruiken, die u dan duidelijk van uw naam moet voorzien. Enkele opgaven zijn volgens het meerkeuzesysteem. Van de antwoorden bij die opgaven is er maar één volledig goed. Geef op het antwoordblad het naar uw oordeel enige juiste antwoord aan door het omcirkelen van de letter die volgens u bij het goede antwoord hoort. Geef per opgave niet meer dan één antwoord aan. Gebeurt dit toch, dan wordt de opgave als fout beantwoord gerekend. **Let op**, bij sommige meerkeuzevragen wordt om een (beknopte) verklaring gevraagd. Een zinnige verklaring die overeenstemt met uw keuze van het antwoord is dan nodig voor een goede score.*

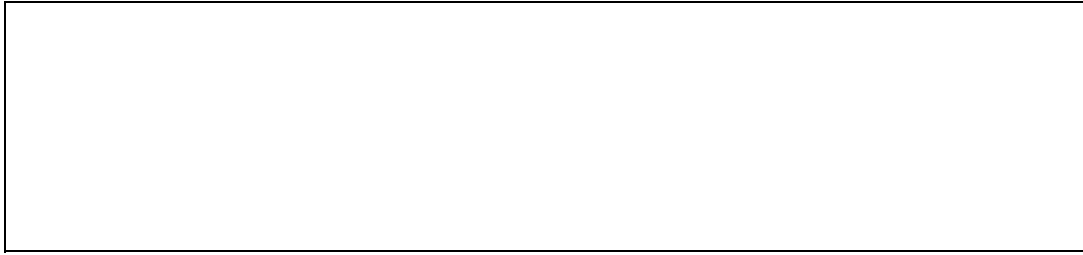
Prefix reminder: micro = 10^{-6} , nano = 10^{-9} , pico = 10^{-12} , femto = 10^{-15} , atto = 10^{-18} .

Opgave 1. (4 punten)

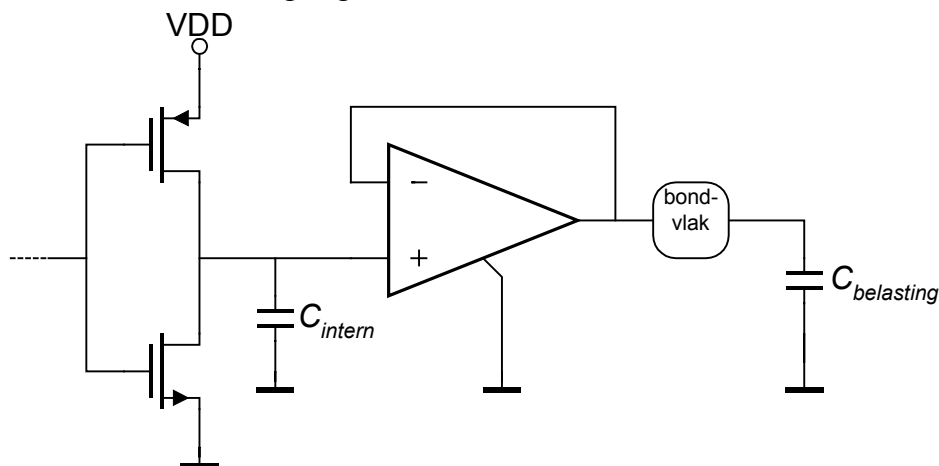
Onderstaande figuur toont een eenvoudige twee-transistor inverterschakeling die gebruikt wordt om binair gecodeerde digitale signalen vanaf een chip via een bondvlak (Eng: bond pad), een bonddraad (Eng: bond wire) en de behuizing van de chip aan de buitenwereld aan te bieden. Bondvlak, bonddraad, behuizing en de belasting kunnen samen gemodelleerd worden door middel van een capaciteit $C_{\text{belasting}}$. Volgens de specificaties moet de schakeling 10%-90% stijg- en daaltijden ($t_{10-90\%}$) produceren van 150 ns (met marges, die we hier niet zullen behandelen; de specificatie is niet kritisch) bij een $C_{\text{belasting}}$ die mag variëren tussen 0 en 100 pF. VDD is 2,5 volt. De verdere gegevens komen van de technologie uit de tweede editie van Rabaey en zoals ook (gedeeltelijk) samengevat op de design-data bladen.



- a. Van welke parameters zijn de stijg- en daaltijden afhankelijk?



Om de stijg- en daaltijden nauwkeuriger vast te leggen wordt de schakeling uitgebreid met een spanningsvolger, opgebouwd rond een operationele versterker. Zie onderstaande figuur. C_{intern} is een capaciteit op de chip waarvan de waarde met een nauwkeurigheid van zo'n 10% kan worden vastgelegd.



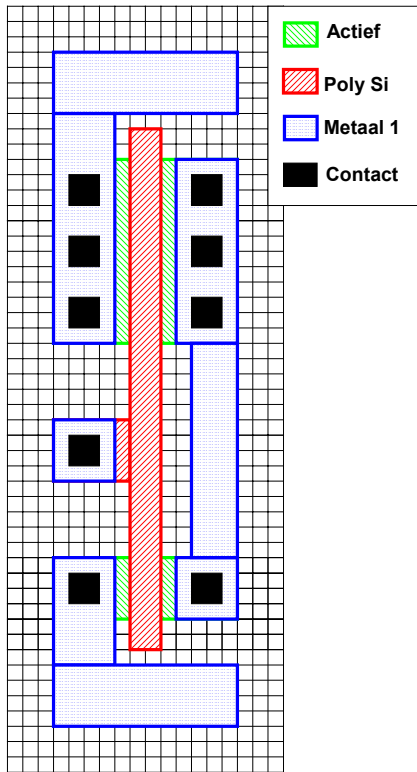
- b. Ervan uitgaande dat de operationele versterker in deze fase van het ontwerp ideaal verondersteld mag worden, van welke parameters zijn de stijg- en daaltijden nu afhankelijk?



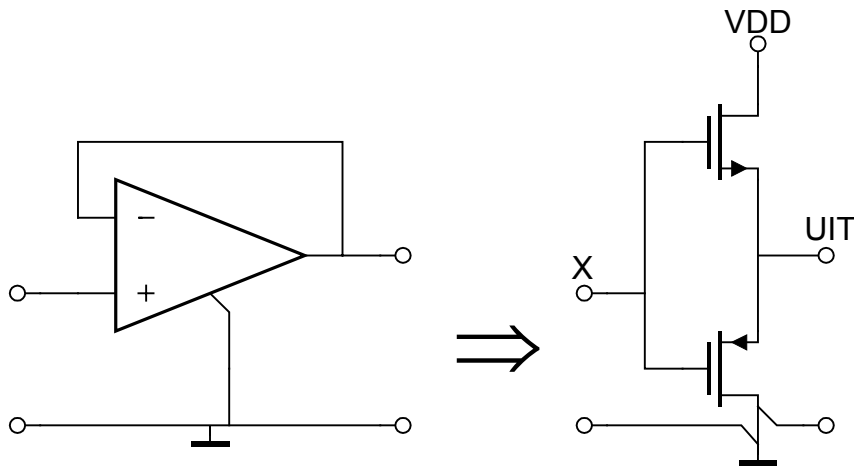
- c. Wanneer de inverter in bovenstaande schakeling geïmplementeerd wordt zoals in onderstaande tekening (opmerking: het grid is een λ -grid), hoe groot moet dan C_{intern} worden om de gespecificeerde stijg- en daaltijden te realiseren?

$C_{intern} =$ [F]

Berekening:



Voor de spanningsvolger kiest men vervolgens de volgende implementatie, opgebouwd met behulp van twee transistoren. Zie onderstaande figuur.



d. Hoe groot is de spanningszwaai aan de uitgang?

$$V_{UIT_max} =$$

$$V_{UIT_min} =$$

e. In welk werkgebied (weerstand/triode of verzadiging) zijn de uitgangstransistoren werkzaam?

A Weerstand/triode

B Verzadiging

Verklaring:

f. Wat is de maximale stroom die geleverd moet worden?

Stroom: [mA]

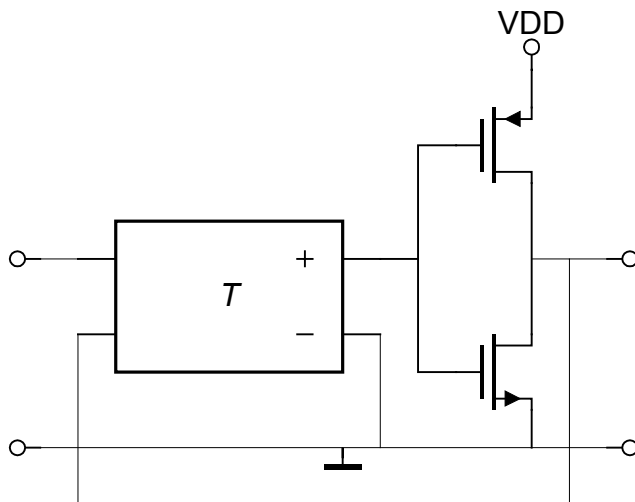
Berekening:

g. Dimensioneer de uitgangstransistoren zodanig dat zij deze stroom kunnen leveren bij een maximaal verschil tussen de spanning op punten X en UIT gegeven door $|V_X - V_{UIT}| < 1$ Volt. In je berekening mag je het body-effect en kanaallengte modulatie verwaarlozen. Gebruik minimum-lengte transistoren.

$W_n =$ [μm] $W_p =$ [μm]

Berekening:

Een alternatieve implementatie van de spanningsvolger is gegeven onderstaande figuur, die zich van bovenstaande implementatie onderscheidt door het gebruik van een cascade van twee trappen, zijnde de tweepoort T en de inverter opgebouwd rond twee transistoren. NB: merk op dat deze twee transistoren anders geschakeld zijn dan de transistoren in bovenstaande spanningsvolger. Van de tweepoort is gegeven dat de absolute waarde van de kettingparameters A , B , C en D alle veel kleiner zijn dan 1, maar ook dat de uitgangsspanning begrensd is door 0V en VDD.



h. Is de uitgang van de spanningsvolger verbonden met de positieve (+) ingang of de negatieve (-) ingang van tweepoort T ? Waarom?

A positieve ingang

B negatieve ingang

Verklaring:

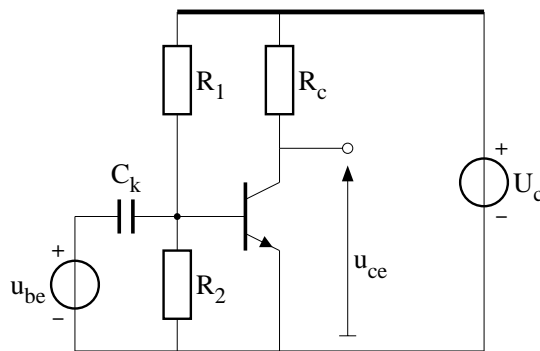
- i. Analyseer deze tweetraps spanningsvolger op zijn voor- en nadelen in vergelijking tot de spanningsvolger die geanalyseerd werd bij vraag 4. Beschouw hiertoe
- De minimaal benodigde afmetingen van de gebruikte transistoren
 - De spanningszwaai aan de uitgang
 - Het aanwezig of afwezig zijn van een kortsluitstroom in de eindtrap tijdens het schakelen.

Motiveer uw bevindingen.

<p>Afmetingen:</p> <p>Spanningszwaai:</p> <p>Kortsluitstroom:</p> <p>Eventuele verdere analyse:</p>

Opgave 2. (2 punten)

- a. Beschouw onderstaande versterker schakeling; de bipolaire transistor staat ingesteld in het actieve gebied. De collector-weerstand R_C heeft een waarde van $5\text{ k}\Omega$. De stroomversterkingsfactor β van de transistor is gelijk aan 100.

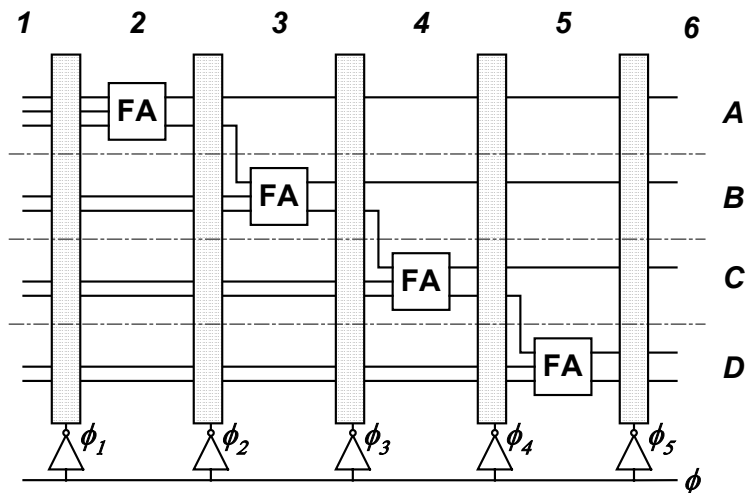


Hoe groot moet, bij kamertemperatuur, de collector-instelstroom bedragen opdat de spanningsversterking u_{ce}/u_{be} -100 bedraagt?

- A $4\ \mu\text{A}$
- B $500\ \mu\text{A}$
- C $20\ \text{mA}$
- D $800\ \text{mA}$

Opgave 3. (4 punten)

Beschouw onderstaande 4-bit opteller. Deze is onderdeel van een digitale signaalbewerker, en het is belangrijk om de hoogste *throughput* (doorvoersnelheid) te behalen. Daarom is het pijplijn principe doorgevoerd tot op bit-nivo. De verticale balken geven flipflop-kolommen aan (flipflop is latch of register), de stippellijnen en de cijfers en letters buiten de schakeling delen de schakeling in als het kader van een wegekaart.



- Geef in bovenstaande figuur aan waar zich de volgende signalen bevinden:
A₀-A₃, B₀-B₃ (de ingangssignalen) en S₀-S₄ (de uitgangssignalen).
- Geef (in de figuur) de correcte logische waarde aan het overblijvende signaal.
- Laat T_{carry} de vertraging zijn van de ingangen van de full-adder naar de carry uitgang, en T_{som} hetzelfde voor het som signaal. De maximale kloksnelheid wordt (mede) bepaald door:
 - T_{carry} , maar niet of nauwelijks door T_{som}
 - T_{som} , maar niet of nauwelijks door T_{carry}
 - $T_{\text{carry}} + T_{\text{som}}$
 - $\text{Max}(T_{\text{carry}}, T_{\text{som}})$
 - $\text{Min}(T_{\text{carry}}, T_{\text{som}})$
- Wanneer het klok-circuit skew geeft, zit de relevante skew tussen
 - ϕ_1 en ϕ_5
 - ϕ_i en ϕ_{i+1}

Verklaring:

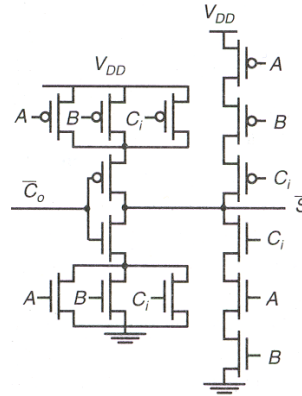
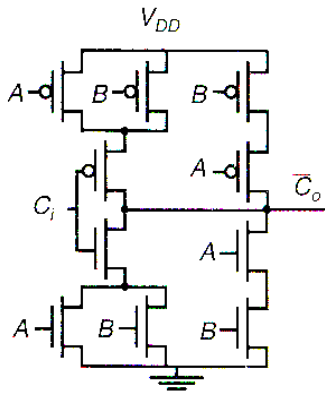
- e. Als we aannemen dat alle invertoren voor de registerkolommen even groot zijn, maar ook dat de effecten van de bedrading verwaarloosd mogen worden, is er dan sprake van
- A geen skew
 - B positieve skew
 - C negatieve skew
 - D zowel positieve als negatieve skew

Verklaring:

- f. Voor deze opteller willen we de “inversie eigenschap” gebruiken om de snelheid te verhogen. Dit gaat bij deze opteller het meest effectief door alle FA’s te vervangen door één en dezelfde MA (modified adder). Deze MA is hetzelfde als een FA maar de carry is inverterend. Geef in onderstaande tekening waar (en per vak ook hoeveel) invertoren geplaatst moeten worden om de totale functie ongewijzigd te laten zijn, maar zodanig dat de kloksnelheid omhoog kan. Opm.: er zijn meerdere oplossingen mogelijk.

	1	2	3	4	5	6	
		MA					A
			MA				B
				MA			C
					MA		D

- g. De snelheid kan ook verhoogd worden door ‘preprocessing’. Een mogelijkheid is om de FA’s te vervangen door schakelingen die naast C_i de signalen $A \& B$ (AND) en $A+B$ (OR) als ingangen hebben i.p.v. direct A en B. Neem onderstaande schakelingen voor niet- C_0 en S, en teken daaronder de vereenvoudigde versie z.d.d. ze $A \& B$ en $A+B$ als ingangen hebben i.p.v. A en B.



--	--

h. Is de ‘bit-level’ pijplijn architectuur van de eerste figuur van deze opgave de meest ver doorgevoerde graad van pijplijnen wat voor een ripple-carry opteller met FA cellen voor ieder bit mogelijk is?

A Ja

B Nee, het pijplijnprincipe kan nog verder doorgevoerd worden.

Verklaring:

i. (Bonus) Geef aan hoe de optimalisaties voor “niet inverterende carry” en “preprocessing” zo efficiënt mogelijk gecombineerd kunnen worden.