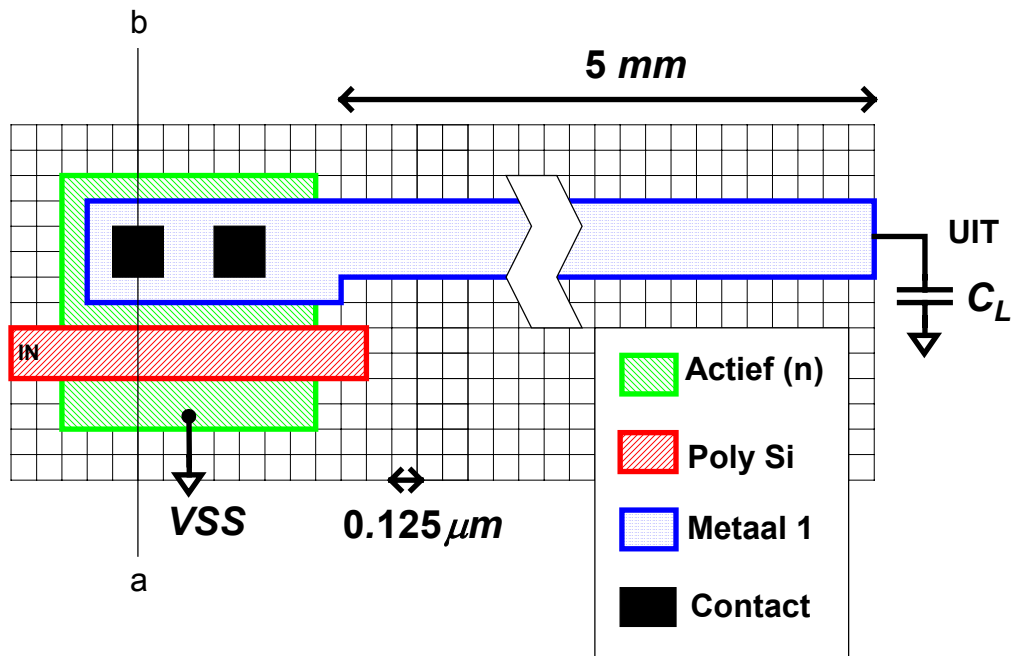


- D. De koppelcondensator C_k veroorzaakt in de spanningsoverdracht van de bron u_{be} naar de basis-emitter-aansluiting een laagfrequent kantelpunt. Wat moet de waarde van C_k worden als dit kantelpunt bij 100 Hz moet liggen? Veronderstel dat R_1 en R_2 veel groter zijn dan de bij de vorige opgave uitgerekenende ingangsimpedantie.
- A 190 nF
 - B 1,2 μ F
 - C 1,9 mF
 - D 12 mF
- E. Als u_{be} harmonisch (sinusvormig) is en een effectieve waarde van 10 mV bezit, hoe groot wordt dan de effectieve waarde van de collector-emitter signaalspanning u_{ce} ?
- A 83 μ V
 - B 10 mV
 - C 1,2 V
 - D 3 V
- F. Hoe groot is het DC-vermogen in R_C ?
- A 72 μ W
 - B 144 μ W
 - C 900 μ W
 - D 3,6 mW
- G. Hoe groot is het AC-vermogen in R_C ?
- A 72 μ W
 - B 144 μ W
 - C 900 μ W
 - D 3,6 mW

Opgave 2.

Gegeven onderstaande schakeling, in een 0.25 μ CMOS technology zoals in de tweede editie van het boek. Tot aan $t=0$ is de schakeling in rust, waarbij $I_N=0$ en $U_{IT}=V_{DD} = 2.5$ V. Op $t=0$ zal het punt IN schakelen van 0 naar V_{DD} . C_L wordt gevormd door de gate-oxide capaciteiten van een NMOS en een PMOS transistor, beide van minimum afmetingen. Neem aan dat de getoonde layout de enige layout is. Gebruik de bijgevoegde Design Data tabellen behorende bij de tweede editie. Je mag zaken verwaarlozen als hun effect kleiner is dan 10%.



A. Teken een doorsnede van schakeling langs de lijn a-b, geef duidelijk de materiaaltypen aan.

B. Geef een transistor schema voor deze schakeling, waarin ook de bedrading opgenomen wordt. Je hoeft geen waarden in te vullen, maar je moet het schema wel annoteren met alle voor de vertraging belangrijke parameters van de schakeling.

C. Geef voor elk van de volgende uitspraken aan of die waar is of niet waar en verklaar, waar mogelijk kwantitatief, je antwoord.

I. 5 mm is een realistische waarde voor de lengte van een metaaldraad op een chip.

Waar / niet waar

Verklaring:

II. De weerstand van de bedrading geeft een te verwaarlozen bijdrage aan de vertraging in de schakeling.

Waar / niet waar

Verklaring:

III. C_L geeft een te verwaarlozen bijdrage aan de vertraging in de schakeling.

Waar / niet waar

Verklaring:

IV. De vertraging hangt af van de breedte van de metaaldraad.

Waar / niet waar

Verklaring:

D. Geef nu een equivalent RC schema met de benodigde waarden voor het berekenen van de vertraging.

E. Bereken voor bovenstaande schakeling de $t_{50\%}$, ofwel de tijd om UIT te ontladen tot 50% van V_{DD} .