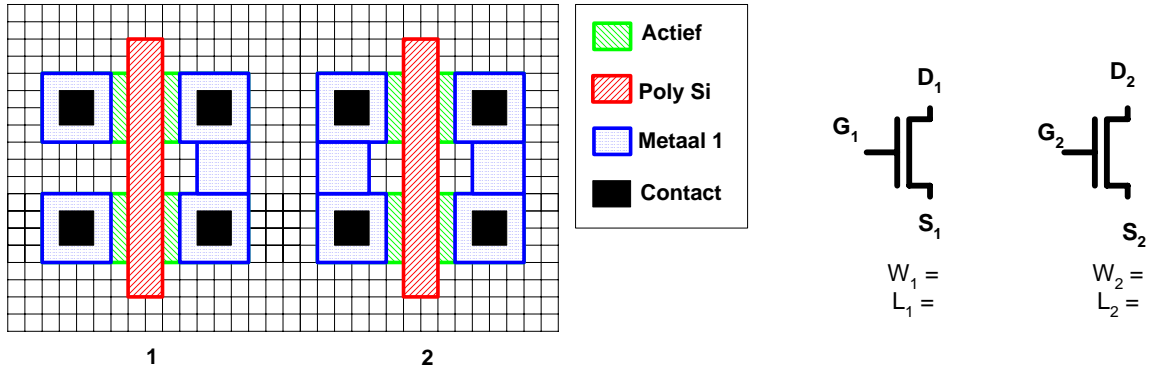


### Opgave 16.

Beschouw onderstaande layout en het bijbehorende schema. De layout laat twee genummerde structuren zien (1 en 2, onderaan de layout) met ieder twee NMOS transistoren, en het schema twee transistoren. Het is de bedoeling dat je de beide layout structuren (1 zowel als 2) gaat modelleren met (vervangen door) 1 transistor.



a. Geef in de layout (links) duidelijk aan waar de aansluitingen  $G_1$ ,  $S_1$ ,  $D_1$ ,  $G_2$ ,  $S_2$ ,  $D_2$  uit het schema rechts zich bevinden.

b. Geef de *equivalente* afmetingen  $W_1$ ,  $L_1$ ,  $W_2$ ,  $L_2$  van beide structuren, druk het antwoord uit in “aantal hokjes” en noteer het bij de schema-symbolen rechtsboven..

c. Welk model is beter? M.a.w., in welke situatie (1 of 2) is de fout die gemaakt wordt door de twee transistoren in de layout als een transistor in het schema te beschouwen het kleinst?.  
Verklaar je antwoord.

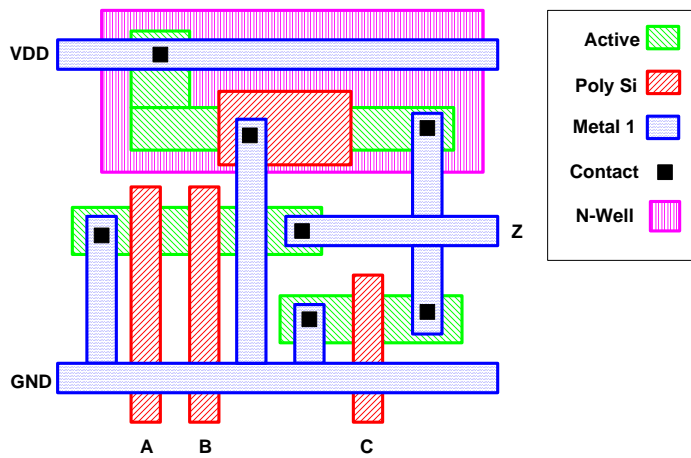
Model ..... is nauwkeuriger.

**Verklaring:**

Naam:	
Studienummer:	

### Opgave 17.

a. Gegeven onderstaande layout. Teken daarnaast rechts het bijbehorende transistor schema.



**Schema:**

b. Wat is de logische functie?

Z =

c. Waarom is één transistor langer dan de andere transistoren?

**Reden:**

d. Omcirkel bij de onderstaande uitspraken het juiste antwoord:

De nominale uitgangspanning  $V_{OH}$  voor een logische 1 is:

$> V_{DD}$	$< V_{DD}$	$= V_{DD}$
------------	------------	------------

De nominale uitgangspanning  $V_{OL}$  voor een logische 0 is:

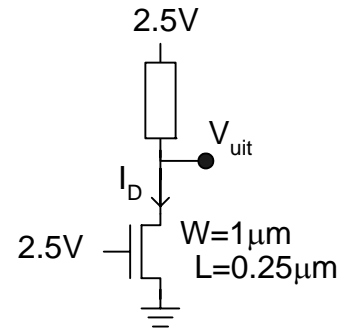
$> 0$	$< 0$	$= 0$
-------	-------	-------

### Opgave 18.

Beschouw de schakeling hiernaast. Bereken  $I_D$  wanneer  $V_{uit} = 1.0$  V. Geef de gebruikte vergelijking voor het betreffende werkgebied met symbolische waarden, niet de getallen invullen, en het antwoord.

Er gelden de volgende parameters:

Rabaey	Uyemura	Waarde	Eenheid
$V_{T0}$	$V_{T0n}$	0.43	V
$\gamma$	$\gamma$	0.4	$V^{0.5}$
$V_{DSAT}$	-	1.5	V
$K'$	$k_n'$	115	$\mu A/V^2$
$\lambda$	$\lambda$	0.06	$V^{-1}$



$I_D =$

Formule (zonder getallen):

### Opgave 19.

Gegeven de onderstaande waarheidstabel voor 4 ingangen a-d en uitgang z. Teken hieronder rechts het pull-down netwerk voor een CMOS gate welke de functie van deze waarheidstabel implementeerd. Gebruik zo weinig mogelijk transistoren. Je mag zowel de signalen a-d als de inverse signalen a'-d' gebruiken, je hoeft daarvoor geen invertoren te tekenen.

d	c	b	a	z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

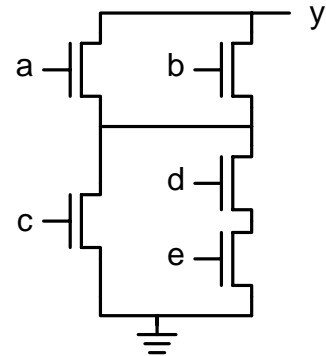
Pull-down network:

Naam:	
Studienummer:	

### Opgave 20.

**a.** Beschouw nevenstaand schema van het pull-down network van een CMOS gate. Er is gegeven dat  $R_{eq} = R_n = 15k\Omega$ . (Noot: deze waarde geldt voor een  $W/L = 1$ ,  $R_{eq}$  is uit Rabaey,  $R_n$  is uit Uyemura.) Bepaal de  $W/L$  verhoudingen van de transistoren zodanig dat de worst-case equivalente pull-down weerstand gelijk is aan  $7.5 k\Omega$ . Noteer je antwoorden in het schema hiernaast. Geen berekening gevraagd.

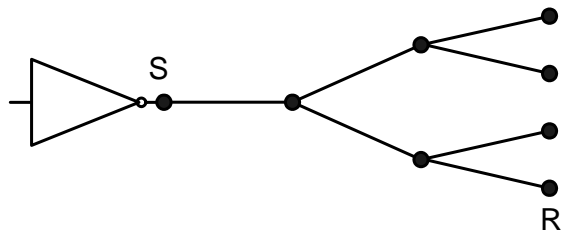
**b.** Wat is de best-case pull-down weerstand voor de  $W/L$  waarden die je hierboven hebt gegeven? Alleen antwoord, geen berekening.



**Best-case pull-down weerstand:**

**Opgave 21. (Alléén voor de 2005/2006, 'Rabaey' variant.)**

De tekening hiernaast toont een klok-distributie netwerk. Ieder segment (de lijnstukken tussen de knooppunten – er zijn dus 7 segmenten) is 1 mm lang en 1  $\mu\text{m}$  breed, en is geïmplementeerd in polysilicium. Aan ieder 'terminal' knooppunt zoals R hangt een belastingcapaciteit van 200fF.



a. Stel dat de totale capaciteit van alle segmenten inclusief de capaciteiten aan de 'terminals' uitkomt op 1 pF (komt niet overeen met het correcte antwoord op het volgende onderdeel) bereken dan de gemiddelde stroom die de driver (de invertor) moet leveren voor een vertraging van 1ns. (Hint:  $I = C \frac{dV}{dt}$ ). Verwaarloos bij deze vraag de weerstand van de poly draden.  $V_{DD}=2.5V$ .

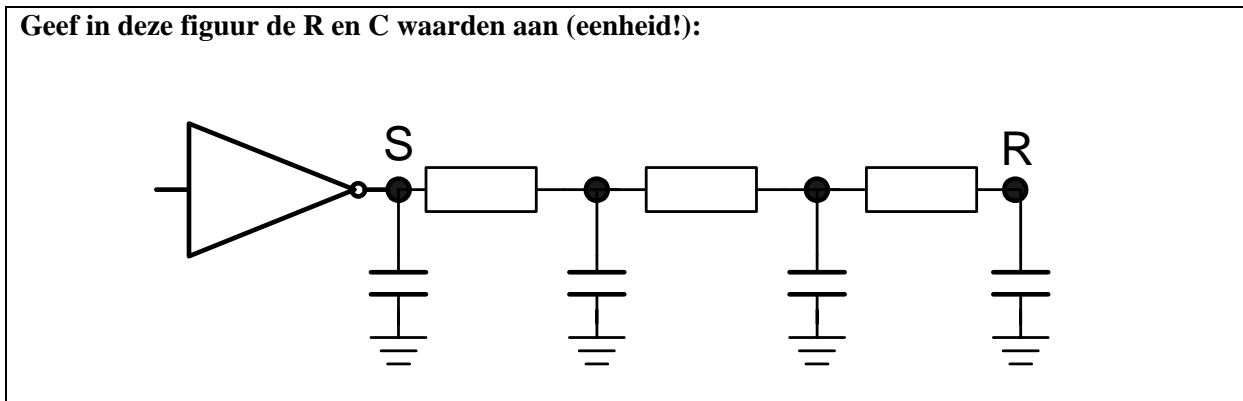
I =	(vergeet niet de eenheid)
Berekening:	

b. Bepaal de weerstand en de capaciteit van een segment (af rondingen van 10% zijn toegestaan).

R =	C =
Berekening:	

c. Neem nu aan (niet het correcte antwoord op de vorige vraag) dat ieder segment een weerstand heeft van 100  $\Omega$  en een capaciteit van 100 fF en beschouw de Elmore delay formule voor de vertraging tussen S en R. Dan kan met een pi-netwerk voor ieder segment gerekend worden. Omdat niet voor alle segmenten de weerstand meegenomen moet worden in de berekening, is het mogelijk om een ladder-netwerk te tekenen voor de berekening van de Elmore delay. Dit netwerk is hieronder getekend. Geef de bij een Elmore delay berekening horende weerstand- en capaciteitswaarden in onderstaand schema aan. Je hoeft niet de Elmore delay te berekenen. Hou rekening met de capaciteiten van 200 fF aan de 'terminals'.

**Geef in deze figuur de R en C waarden aan (eenheid!):**



Naam:	
Studienummer:	

**Opgave 22. (Alléén voor de 2004 – 2005, 'Uyemura' variant)**

Een interconnect draad loopt over een oxide met een dikte van  $1\mu\text{m}$ . De draad heeft een breedte van  $0.5\mu\text{m}$ , een dikte van  $1\mu\text{m}$  en is  $50\mu\text{m}$  lang. De soortelijke weerstand van de draad is  $10\mu\Omega\cdot\text{cm}$ . Neem  $\epsilon_{\text{ox}} = \epsilon_0\epsilon_r = 35\text{pF/m}$ .

**a.** Bepaal de weerstand en capaciteit van de draad. Antwoord en berekening.

R =	C =
<b>Berekening:</b>	

**b.** Geef de Elmore tijdconstante van de draad.

$\tau =$
----------

**c.** Een stukje silicium is gedoteerd met arseen, met  $N_d = 4 \times 10^{17} \text{ cm}^{-3}$ . Bepaal de concentratie van beide typen ladingsdragers bij kamertemperatuur.

$n_n =$	$n_p =$
<b>Berekening:</b>	

### Opgave 23.

Beschouw nu onderstaande implementatie van een master-slave D-flip-flop.

Het diagram hieronder toont het klok signaal en het D-signaal als functie van de tijd. Teken in hetzelfde diagram de signalen op knooppunt 1 en op de Q-uitgang. Beschouw het system als vertragingloos, maar hou indien van toepassing wel rekening met drempelspanningsverliezen.

