

Tentamen Geïntegreerde Systemen ET 1005

Datum: woensdag 16 juni 2004

Tijd: 09.00 – 11.00 uur

Naam:	Studienummer:	Cijfer
-------	---------------	--------

Lees dit eerst

- Vul je naam en studienummer in in de vakjes hierboven en op de oneven bladzijden.
- Dit tentamen is een "open boek" tentamen.
- Het gebruik van een rekenmachine is toegestaan.
- Voor de multiple-choice vragen geldt: omcirkel of vink het juiste antwoord.
- Vul je antwoorden in de daarvoor gereserveerde ruimten in. Eventueel kun je extra bladen gebruiken die je dan duidelijk van je naam en studienummer moet voorzien.
- Geef, tenzij anders vermeld, voor de antwoorden steeds een korte verklaring en geef, waar van toepassing, in grafieken de relevante waarden steeds duidelijk aan! Let steeds op de eenheden (prefixes of 10^{-x})!
- Prefixes: micro (μ) = 10^{-6} , nano = 10^{-9} , pico = 10^{-12} , femto = 10^{-15} , atto = 10^{-18}
- De transistorparameters komen uit de 2e editie van Rabaey en zijn samengevat op de binnenkant van de voor- en achterflap van dat boek. Voor diegenen die het boek niet hebben, zijn er kopieën van deze bladzijden beschikbaar. Tenzij uitdrukkelijk anders vermeld, moet je voor de numerieke waarden deze parameters gebruiken. Soms moet je echter met de symbolische constanten rekenen.
- Zonder verder uitdrukkelijk anders vermeld is de voedingsspanning (VDD) gelijk aan 2.5 V. Gebruik de symbolische constante als daarom gevraagd wordt.

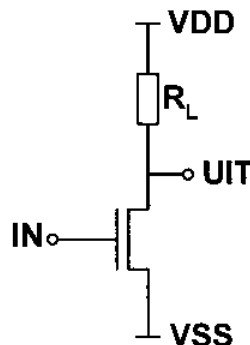
Vraag 1.

Gegeven onderstaande resistive-load inverter. De transistor en de weerstand zijn zo gedimensioneerd dat $V_{OL} < 0.5 V$.

$$V_{OL} < 0.5V$$

$$\Rightarrow \left\{ \begin{array}{l} V_{DS} < V_{ST} \\ V_{DS} < V_{DSAT} \end{array} \right.$$

\Rightarrow triode gebied



- a. Geef de symbolische (niet numerieke) formule voor V_{OL} , uitgedrukt in de transistor parameters (k' , V_T , W , L , etc), de belastingweerstand R_L en V_{DD} . Er geldt dat $V_{SS} = 0V$. Kanaallengtemodulatie kan verwaarloosd worden (dus neem $\lambda = 0$). Je hoeft de formule niet om te werken z.d.d. V_{OL} alleen aan één kant van de vergelijking staat.

$$\frac{V_{DD} - V_{OL}}{R} = k'_n \frac{W}{L} \left((V_{DD} - V_{Tn}) V_{OL} - \frac{1}{2} V_{OL}^2 \right) \quad (\text{via Kirchoff vergelijking})$$

- b. Neem nu de volgende numerieke gegevens: $R_L = 20k\Omega$, W/L is 3. Bereken V_{OL} door het invullen van de numerieke waarden en de vergelijking op te lossen. De berekening hoeft niet gegeven te worden.

$$V_{OL} = 0.17 V$$

- c. Neem nu aan dat de schakeling zo gedimensioneerd is dat $V_M = 1V$. (NB: V_M is die ingangsspanning waarbij de uitgangsspanning gelijk is aan de ingangsspanning.) Kanaallengtemodulatie kan weer verwaarloosd worden ($\lambda = 0$). Geef de symbolische formule voor V_M . Je hoeft de formule niet om te werken z.d.d. V_M alleen aan één kant van de vergelijking staat.

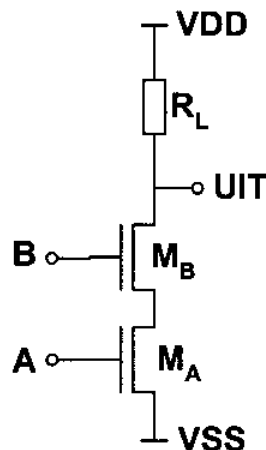
$$\left. \begin{aligned} V_{ST} &= V_{GS} - V_T = V_M - V_T = 0.57 \\ V_{DSAT} &= 0.63 \\ V_{DS} &= V_M = 1 \end{aligned} \right\} \begin{array}{l} V_{ST} \text{ is} \\ \text{het} \\ \text{kleinste} \\ \Rightarrow \text{sat} \text{uratie} \end{array} \quad \frac{V_{DD} - V_M}{R} = k_n' \frac{W}{L} (V_M - V_{Tn})^2$$

- d. Bespreek de voordelen en de nadelen van het kiezen van een grote waarde voor R_L in de schakeling hierboven. $\leftarrow R_L$

voordelen lage dissipatie bij uitgang laag bij gegeven transistor-grootte een lage V_{OL} (dus betere ruismarge)	nadelen Een hoge t_{Σ}
--	----------------------------------

(of bij gegeven V_{OL} een kleinere pull-down transistor)
Vraag 2.

Gegeven onderstaande resistive-load NAND schakeling.



Het body effect geeft een verlagening van de effectieve aansturing door hogere V_T en lagere V_{DS} wanneer $V_S > 0$. Alleen bij M_B

- a. Welke transistor (M_A en/of M_B) kan last hebben van het body effect? Er geldt $V_B = V_{SS} = 0V$.

M_A kan wel/niet body effect hebben	M_B kan wel/niet body effect hebben
---------------------------------------	---------------------------------------

- b. Als een ontwerper het body effect verwaarloosd in een berekening voor V_{OL} , is de werkelijke V_{OL} dan hoger, lager of gelijk aan de berekende waarde? Geef ook een verklaring.

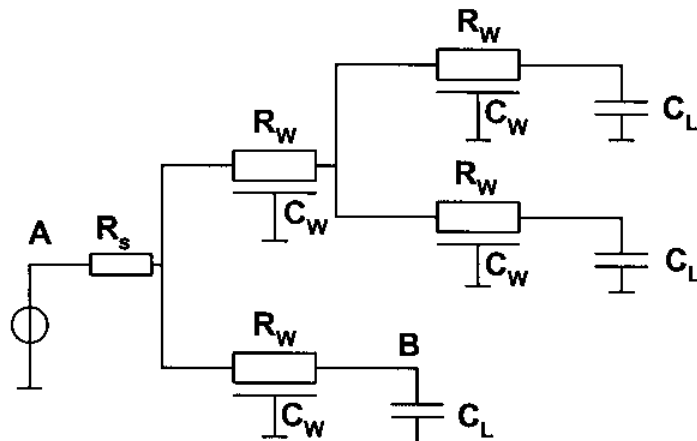
(hoger)	lager	gelijk
Verklaring: Body effect geeft verlagening van effectieve aansturing Verwaarlozing betekent dus overschatting van I_D , en de werkelijke I_D en spanningsval over R_L zal dus lager zijn, en daarmee V_{OL} hoger.		

Vraag 3.

Gegeven onderstaande schakeling. Er gelden de volgende elementwaarden.

R_w	$8 \text{ k}\Omega$
C_w	10 fF

R_s	$2 \text{ k}\Omega$
C_L	12 fF

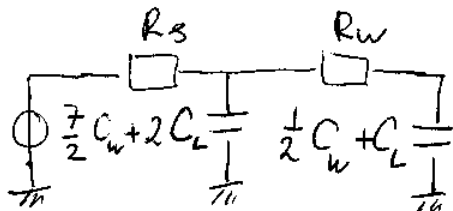


a. Bepaal de Elmore delay T_{DAB} van A naar B. Geef ook een berekening.

$$T_{DAB} = 288 \text{ ps}$$

Berekening:

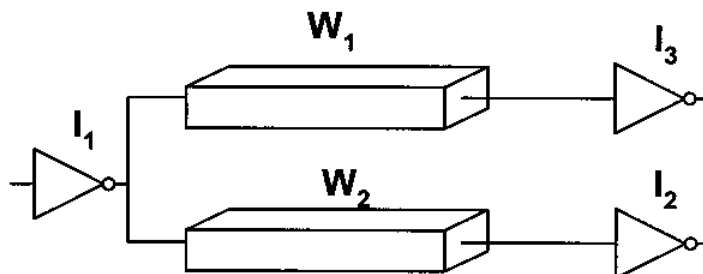
Equivalent schema voor T_{DAB}



$$\Rightarrow T_{DAB} = R_s \left(\frac{7}{2} C_w + 2 C_L \right) + (R_s + R_w) \left(\frac{1}{2} C_w + C_L \right)$$

waarden invullen: 288 ps

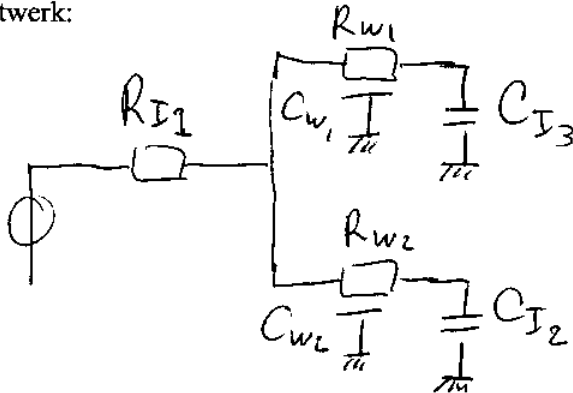
Nu is de onderstaande schakeling gegeven. De beide draden zijn aan elkaar gelijk, en de drie invertoren zijn ook identiek



b. Teken een equivalent netwerk met weerstanden, condensatoren en verdeelde RC elementen (RC lijnen), zoals bij het vorige deel, wat gebruikt kan worden om de vertraging uit te rekenen van de

ingang van I_1 naar de ingangen van I_2 en I_3 . Houd rekening met de equivalente uitgangsweerstand van de invertor I_1 , de weerstand en capaciteit van de draden W_1 en W_2 , en de ingangscapaciteiten van de invertoren I_2 en I_3 . Geef in je tekening ieder netwerkelement een symbolische naam (zoals bij het netwerk in de vorige vraag). Gebruik logische namen, bijvoorbeeld R_w voor de weerstand van de draad, C_w voor de capaciteit van de draad, enz.. Noteer deze naam bij de onderdelen van het schema.

Equivalent netwerk:



c. Als er sprake is van een hoog-naar-laag overgang op de ingang van I_1 , dan geldt voor het relatieve belang van de NMOS en de PMOS in I_1 voor de vertraging:

A: de NMOS heeft een veel grotere invloed op de vertraging dan de PMOS.	B: de PMOS heeft een veel grotere invloed op de vertraging dan de NMOS.	C: De NMOS en de PMOS hebben ongeveer een gelijk effect.
--	--	---

Verklaring:

hoog \rightarrow laag op ingang I_1 betekent laag \rightarrow hoog op de uitgang die wordt verzorgd door de PMOS. De NMOS staat dan uit en heeft dus nauwelijks invloed

Neem voor de draden W_1 en W_2 een lengte van $1000 \mu\text{m}$ en een breedte van $0.5 \mu\text{m}$. De draden zijn gemaakt in ongesiliciedeerd n+ polysilicium, en lopen boven 'field'.

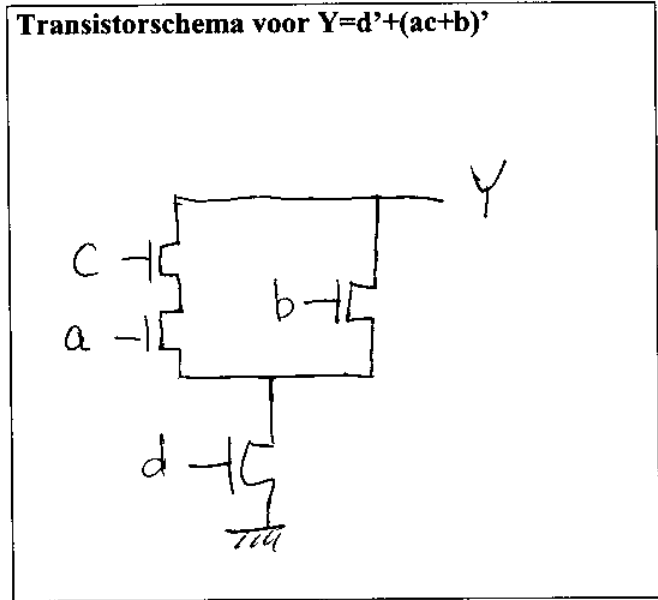
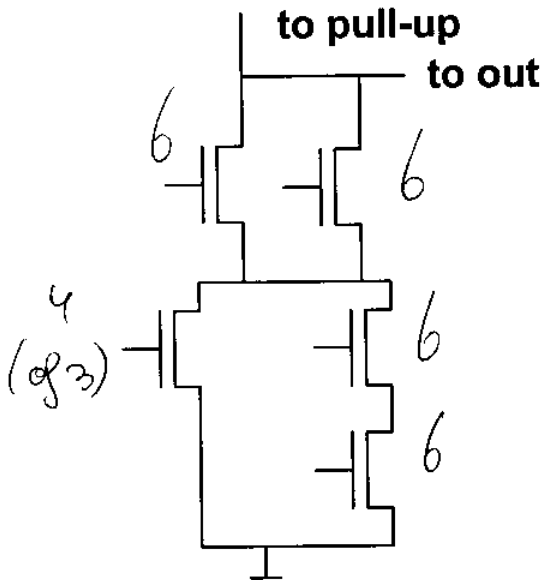
d. Bereken de weerstand en capaciteit van de draden.

$R_w = 300 \text{ k}\Omega$	$C_w = 152 \text{ fF}$
<p>Berekening:</p> $R_w = \frac{1000}{0.5} \times 150 = 300 \text{ k}\Omega$ <p style="text-align: center;"> \uparrow \uparrow $\frac{L}{w}$ R_0 </p> <p>(of $400 \text{ k}\Omega$ bij $R_0 = 200 \Omega$)</p>	$C_w = \underbrace{1000 \times 0.5}_{A} \times \underbrace{88}_{C_A} + 2 \times \underbrace{1000}_{P} \times \underbrace{54}_{C_P} = 152 \text{ fF}$

Naam:	
Studienummer:	

Vraag 4.

Gegeven het pull-down netwerk in de figuur linksonder.



- Geef in de figuur linksboven de W/L verhoudingen van de transistoren aan z.d.d. de worst-case pull-down sterkte gelijk is aan die van een enkele transistor met $W/L = 2$.
- Geef in het antwoordvak rechtsboven het transistorschema van het pull-down netwerk voor de volgende logische functie (apostrof = inverse):

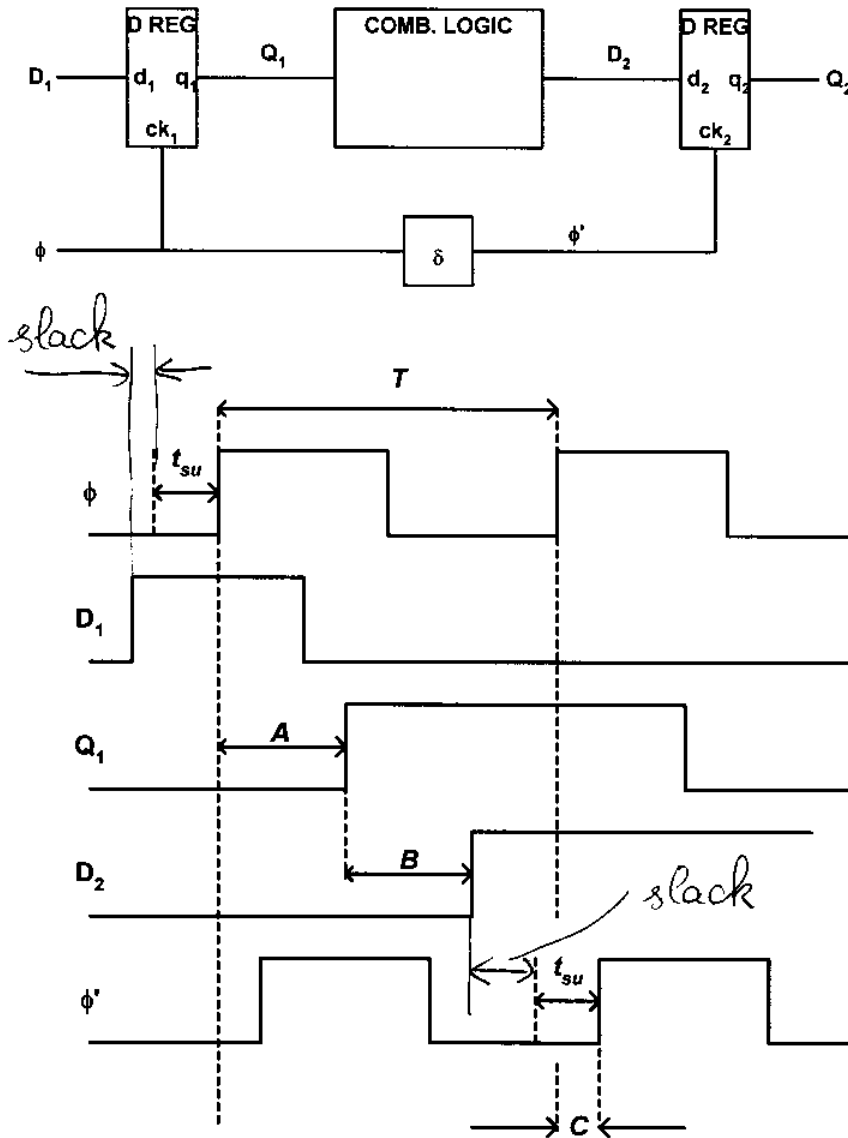
$$Y = d' + (ac + b)'$$

$$\Rightarrow Y' = d \cdot (ac + b)$$

Z.O.Z – nog een vraag

Vraag 5.

Gegeven onderstaande sequentiële schakeling, en bijbehorend timing diagram. In dit timing diagram is t_{su} de setup-time van de registers en T de klok periode.



- a. De registers hebben een clock-naar-Q delay gegeven door t_{cq} , de logica heeft een propagatietijd t_{logic} , en de clock-skew wordt aangegeven door δ . Geef in onderstaande tabel aan welke van de tijden aangegeven met A, B en C in bovenstaand diagram overeenkomen met t_{cq} , t_{logic} en δ .

A = t_{cq}	B = t_{logic}	C = δ
--------------	-----------------	--------------

- b. Als er tijd over is (als de klok niet op maximaal toelaatbare snelheid loopt), spreekt men van 'slack'. Hiermee wordt, bij een gegeven klok frequentie en eventueel bekende skew, de tijd bedoeld die het data signaal eventueel later bij een register aan mag komen zonder dat de correcte werking van de schakeling verloren gaat. Geef in bovenstaande figuur de slack aan op eenzelfde manier als de andere kritieke tijden zijn aangegeven (met de horizontale pijlen).

EINDE