

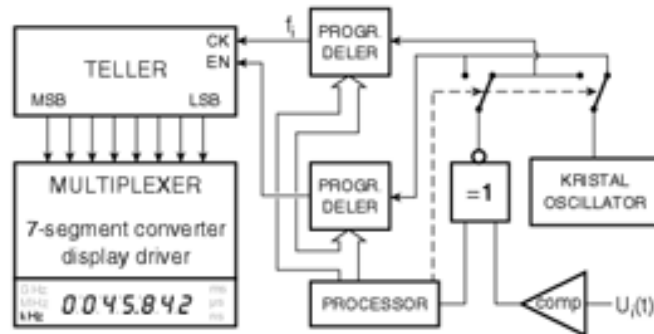
Inleiding Tentamen Elektronische Schakelingen

Datum: woensdag 28 augustus 2002

Tijd: 09.00-12.00

Inleiding

Het onderwerp van dit geïntegreerde tentamen is een gecombineerde frequentieteller / periodetijdmeter zoals weergegeven in Figuur 5.18 op bladzijde 188 van het boek van Data Acquisitie. Voor het gemak is deze figuur hieronder nogmaals gegeven.

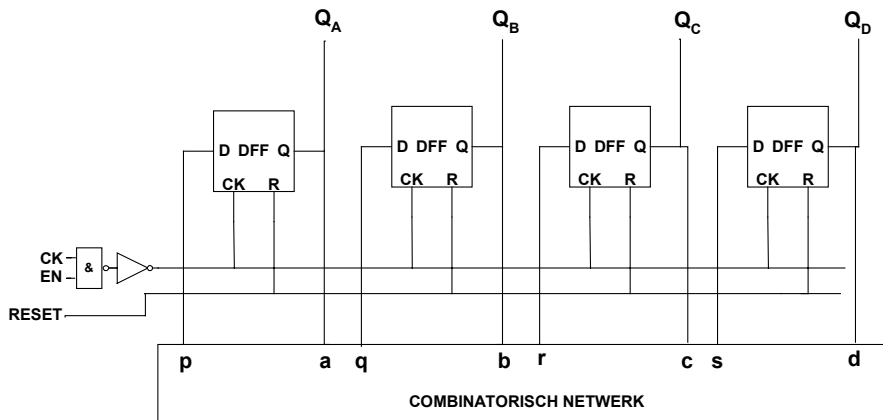


Dit apparaat is een voorbeeld van een gemengd analogoog-digitale schakeling. We zullen kijken naar de mogelijkheden tot integratie op één chip. Hierbij hebben m.n. de analogeingangsschakeling en de teller onze aandacht. De specificaties zijn als volgt:

kristal oscillator : 10 Mhz
resolutie : 4 cijfers
ingangsspanning : tussen 0 en 2.5V
regelbare triggerdrempel en window

Dit meetapparaat is bruikbaar voor veel taken; behalve dat wij de integratie-mogelijkheden zullen behandelen, gaan wij hem gebruiken om een capaciteit te meten. Daartoe zullen we de te meten condensator opnemen in een relaxatie oscillator, waarbij de oscillatiefrequentie (mede) wordt bepaald door de waarde van de capaciteit.

De 'TELLER' kan het best gerealiseerd worden als een zgn. BCD teller. Hieronder is één zogenaamde BCD teller sectie weergegeven. BCD staat voor 'Binary Coded Decimal', dwz de cijfers 0-9 in binair formaat. Iedere sectie is een synchrone 4-bit teller die telt van 0-9, en bij de volgende clockpuls weer bij 0 begint, etc. (Zie evt. het boek van Katz (computersystemen), § 7.1 e.v., voor een introductie van de theorie van tellers.) Er is een BCD teller sectie voor ieder cijfer op het display. Er behoren 4 van zulke teller secties in cascade geschakeld te worden om de uiteindelijke 4-cijferige display waarde te produceren.



Zo'n BCD teller sectie werkt als volgt. Q_A is het meest laagwaardige bit, en Q_D het meest hoogwaardige bit. Het blok 'combinatorisch netwerk' heeft vier ingangen $a-d$ en 4 uitgangen $p-s$. De ingangen zijn verbonden met de Q -uitgangen van de flip-flops en de uitgangen met de D -ingangen van de flip-flops. Dit combinatorische netwerk zorgt ervoor dat de teller de juiste standen doorloopt, dwz 0-1-2-3-4-5-6-7-8-9-0-1... etc, door de juiste D -ingangen aan de flip-flops aan te bieden afhankelijk van de teller stand. Je hoeft het volgende niet te controleren, maar er kan gelden (inverse wordt aangegeven met een apostrophe '):

$$\begin{aligned}
 p &= a' \\
 q &= a'b + ab'd' \\
 r &= b'c + abc' + a'bc \\
 s &= a'b'c'd + abcd'
 \end{aligned}$$

De schakeling zal voorzien worden van een RESET ingang; een puls op deze ingang zorgt ervoor dat de teller in de 0-stand wordt gezet.

Voor het onderdeel 'geïntegreerde systemen' zullen we in dit tentamen specifiek kijken naar het combinatorische netwerk en naar de flip-flops. De flip-flops die we zullen gebruiken zijn een variant zijn op de zogenaamde 'Ratioed Reduced Clock Load Register' (figuur R2 7.18) zoals ook hieronder weergegeven, zodanig dat de uitgang verandert op de neergaande klok flank.

