

# Geïntegreerde Systemen

Naam:

Studienummer: *Vitwerkingen*

Tentamen, 14 Juni 2002, 10:00-12:00.

Geef je antwoorden in de daarvoor bestemde ruimtes op deze opgaven.

## Opgave 1.

We beschouwen in deze opgave een  $n:2^n$  decoder. Dat is een schakeling die als ingang een binair getal heeft van  $n$  bits, en  $2^n$  uitgangen waarvan er steeds slechts één hoog is, namelijk die uitgang die correspondeert met de binaire waarde aan de ingang. Zo'n schakeling vind je bijvoorbeeld in een geheugen, om het binaire geheugenadres te vertalen naar een signaal wat een individuele geheugencel kan adresseren. (De decoder heet dan een adresdecoder.)

Er zijn verschillende mogelijkheden om deze schakeling te realiseren. De eerste keuze die je moet maken is tussen de AND-vorm en de OR-vorm. Deze twee manieren zijn in onderstaande tabel weergegeven, voor een voorbeeld decoder met 3 ingangen A, B en C. Logische inversie wordt aangegeven met een apostrof, d.w.z.  $A'$  is de inverse van A. Er zijn  $2^3 = 8$  uitgangen, waar de logische formule voor iedere specifieke uitgang is weergegeven in de twee meest rechtse kolommen. Je moet zelf makkelijk kunnen controleren dat de formules kloppen, en dat bijv. de rij met  $(ABC)=(010)$  de 3<sup>e</sup> uitgang hoog kan maken middels zowel de AND-vorm formule als de OR-vorm formule. Beide formules in die rij leveren een nul op voor iedere andere ingangscombinatie. Zo is dat met de formules in iedere rij, waarmee de decoder werking inderdaad klopt. De twee vormen (AND en OR) zijn natuurlijk uit elkaar af te leiden via de DeMorgan transformaties.

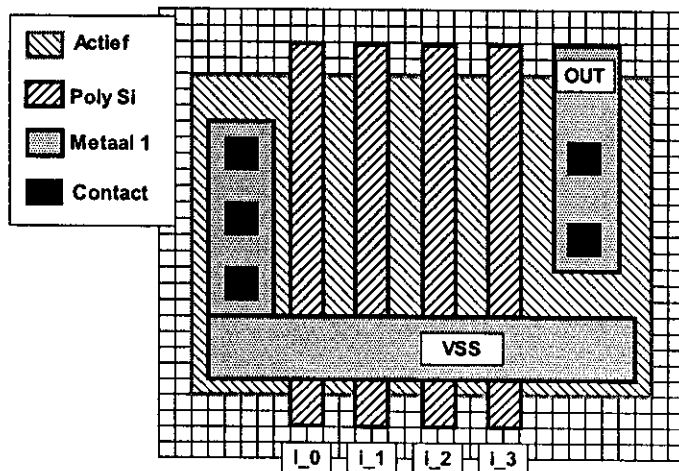
A	B	C	AND-vorm	OR-vorm
0	0	0	$A'B'C'$	$(A+B+C)'$
0	0	1	$A'B'C$	$(A+B+C)'$
0	1	0	$A'BC'$	$(A+B'+C)'$
0	1	1	$A'BC$	$(A+B'+C)'$
1	0	0	$AB'C'$	$(A'+B+C)'$
1	0	1	$AB'C$	$(A'+B+C)'$
1	1	0	$ABC'$	$(A'+B'+C)'$
1	1	1	$ABC$	$(A'+B'+C)'$

De tweede keuze die je moet maken is die voor het werkingsprincipe. We beschouwen nu weer twee mogelijkheden, te weten standaard complementaire statische CMOS logica en pseudo-NMOS logica. Er zijn dus 4 mogelijkheden:

- 1) complementair, AND-vorm
- 2) complementair, OR-vorm
- 3) pseudo-NMOS, AND-vorm
- 4) pseudo-NMOS, OR-vorm

Je hoeft bij het beantwoorden van de vragen hieronder geen rekening te houden met het feit dat de AND-vorm een extra invertor behoeft voor iedere uitgang. (CMOS poorten zijn in principe inverterend, en de formules voor de AND-vorm leveren het niet-geïnverteerde signaal.) De technology is die uit de (draft) tweede editie van Rabaey, en  $\lambda$  (lambda) is dus gelijk aan  $0.125\mu\text{m}$ . Voor het gemak zijn een aantal tabellen (je hebt ze niet allemaal nodig) uit deze 2<sup>e</sup> editie los bijgevoegd op het 'design data blad'.

- A. Beschouw onderstaande layout van het pull-down netwerk van 1 uitgang van de complementaire AND-vorm decoder. Geef de transistor afmetingen voor het pull-up netwerk bij een pull-up/pull-down verhouding die 2.5 bedraagt. Rond naar boven af op gehele waarden van  $\lambda$ . (N.B. de pull-up/pull-down verhouding is gedefinieerd als de verhouding tussen de effectieve W/L van de transistoren in het pull-up netwerk en van die in het pull-down netwerk)



Antwoord 1A  $W_{PD} = 20\lambda$   $L_{PD} = 2\lambda$

$$\frac{W_{PU}/L_{PU}}{W_{PD}/L_{PD}} = 2.5, \text{ met } L_{PU} = L_{PD} = 2\lambda \text{ volgt } W_{PU} = 12.5\lambda$$

na afronden naar boven:  $W_{PU} = 13\lambda$

↑ aantal serie transistoren

- B. Bepaal nu de transistorafmetingen (zowel van de pull-up als van de pull-down transistoren) voor de complementaire OR-vorm decoder als die dezelfde worst-case drive-sterkte moet hebben als de AND-vorm decoder. Geef het antwoord in  $\lambda$ .

Antwoord 1B  $W_{PD} = 2.5 L_{PD} = 5\lambda$

$$\left. \begin{array}{l} L_{PU} = 2\lambda \\ W_{PU} = 4 \times 2.5 \times 2.5 \times L_{PU} \end{array} \right\} W_{PU} = 50\lambda$$

↑ serie      ↑ PU/PD ratio      ↑  $W_{PD}/L_{PD}$

- C. Neem nu aan dat de uitgang aangesloten wordt met een draad van  $1000 \mu\text{m}$  lang en  $0.375 \mu\text{m}$  ( $3\lambda$ ) breed in de eerste metaallaag op een aantal volgende poorten met een totale belastingcapaciteit ( $C_{load}$ ) van  $100 \text{fF}$ . Bepaal de worst-case vertraging  $t_{50\%}$  (aan het einde van de draad) voor een hoog-naar-laag overgang. Betrek in je berekening, voor zover van belang, de equivalente aan-weerstand van de transistoren ( $R_{eq}$ ), de weerstand en capaciteit van de draad en de belastingcapaciteit  $C_{load}$ , maar verwaarloos de uitgangscapaciteit van de sturende poort. (De worst-case vertraging is gelijk gemaakt voor de AND-vorm en de OR-vorm, dus er is maar 1 antwoord nodig.)

Antwoord 1C  $R_{eq} = 13 \text{ k}\Omega / 2.5 = 5.2 \text{ k}\Omega$

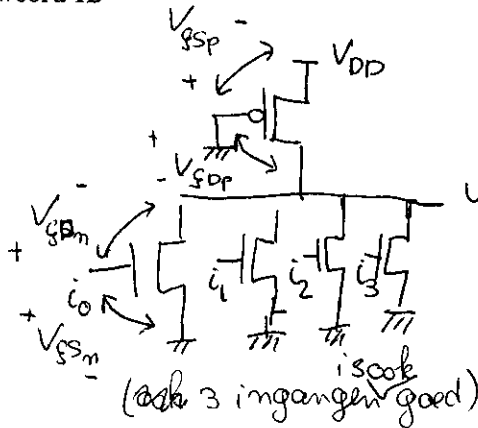
$$R_w = \frac{1000}{0.375} \times 0.05 \Omega = 133 \Omega \text{ (of } 266 \Omega \text{ by } R_D = 0.01 \Omega/\mu, \text{ of gemiddelde waarde)}$$

$$C_w = l \times w \times C_a + 2 l \times C_p = 1000 \times 0.375 \times 30 \text{ aF}/\mu\text{m}^2 + 2 \times 1000 \times 40 \text{ aF}/\mu\text{m} = 91 \text{ fF}$$

$$t_{50\%} = 0.69 [ (R_{eq} C_w / 2) + (R_{eq} + R_w) (C_w / 2 + C_L) ] = 699 \text{ pS}$$

- D. Beschouw nu een pseudo-NMOS decoder, met minimale afmetingen ( $W \times L = 3\lambda \times 2\lambda$ ) van de transistoren in het pull-down netwerk. Teken onderstaand het transistorschema voor 1 uitgang van de OR-vorm decoder.

**Antwoord 1D**



$$|V_{GSP}| = V_{DD}$$

$$|V_{GDP}| = V_{OL}$$

$$V_{GSM} = V_{DD}$$

$$V_{GSM} = V_{DD} - V_{OL}$$

E. Laat zien dat voor het instellen van de  $V_{ol}$  van zo'n schakeling door middel van het kiezen van de juiste afmetingen van de pull-up transistor, met  $V_{ol}$  gelijk aan 0.3V, gerekend moet worden met de pull-down transistor(en) in het lineaire gebied en de pull-up in verzadiging. Geef hieronder in het antwoordvak de spanningsformules, maar definieer die spanningen in het schema hierboven.

maar ook oefen 2#17 en oefen 4#11

Antwoord 1E Zie sheet 3.52 (bijvoorbeeld)

NMOS:  $V_{GSM} = V_{DD} > V_t$   
 $V_{GDM} = V_{DD} - V_{OL} > V_t \Rightarrow$  lineair

PMOS  $|V_{GSP}| = V_{DD} > |V_{TP}|$  } 1zijdige invertisie  
 $|V_{GDP}| = V_{OL} < |V_{TP}|$  }  $\Rightarrow$  saturation

F. Bepaal nu de afmetingen van de pull-up transistor z.d.d.  $V_{ol}$  ten hoogste 0.3 Volt bedraagt, en rond in de goede richting af op hele  $\lambda$  waarden. Ondersteund met form. 6.16, kan ook met form. 6.17 (dan 3.2)

Antwoord 1F  $I_{DN} = -D_{DP}$  neem  $L_p = 2.2$  (minimum waarde)  
 $k_n' \frac{W_n}{L_n} \left( (V_{DD} - V_{TN})V_{OL} - \frac{V_{OL}^2}{2} \right) = \left| k_p' \frac{W_p}{L_p} \left( (V_{DD} - V_{TP})V_{DSATP} - \frac{V_{DSATP}^2}{2} \right) \right|$   
 $115 \times \frac{3}{2} \left( (2.5 - 0.43)0.3 - \frac{0.3^2}{2} \right) = 30 \frac{W_p}{L_p} \left( (2.5 - 0.4)1 - \frac{1^2}{2} \right)$

$\Rightarrow W_p 99.36 = 24 W_p \Rightarrow W_p = 4.14 \lambda \Rightarrow \boxed{4 \lambda}$

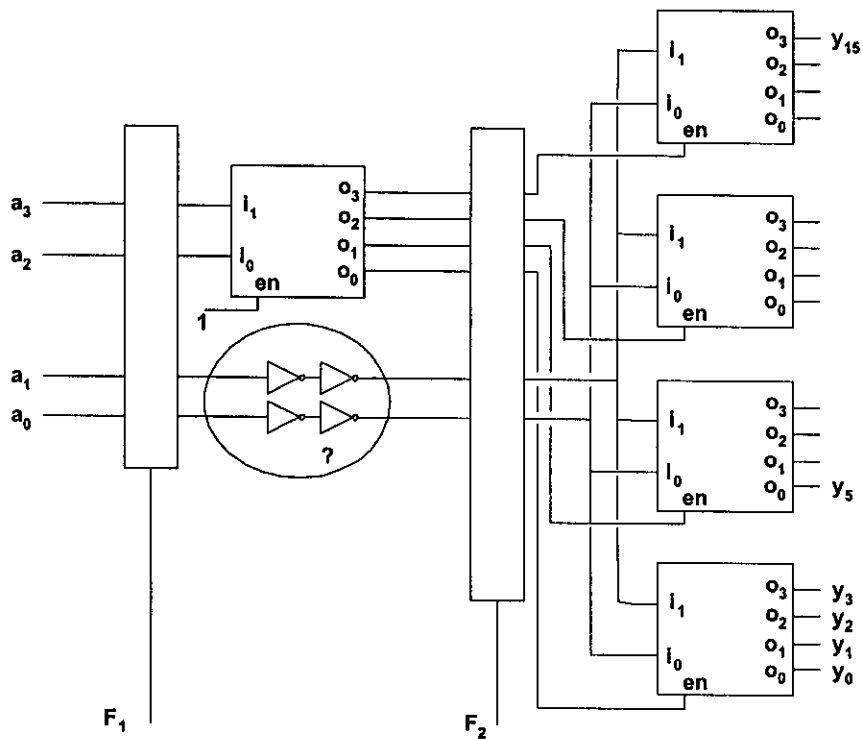
G. Dit zou je ook voor de AND-vorm decoder kunnen doen (dat hoeft niet), maar we kijken wel naar het verschil in statische dissipatie van de pseudo-NMOS AND-vorm en OR-vorm decoder. Gegeven dat ze beide gedimensioneerd zijn met  $V_{ol} < 0.3$  Volt, welke heeft dan de laagste worst-case dissipatie? Verklaar je antwoord.

**Antwoord 1G**

Eigenlijk heb je ook nog een gegeven over drive-sterkte nodig. Neem daarom aan dat de pull-up drive (m.a.w.  $W_p/L_p$ ) voor AND en OR gelijk is. De AND decoder heeft alleen statische dissipatie als alle ingangen hoog zijn. De OR decoder dissipatie is hieraan precies gelijk bij 1 ingang hoog. Dit is echter niet worst-case, die correspondeert met alle ingangen hoog. Dus AND-decoder heeft een lagere worst-casedissipatie.

## Opgave 2.

Nu willen we de decoder geschikt maken voor het pipeline principe. Daartoe gaan we hem uitrusten met een 'enable' ingang, zie hieronder voor een schema dat het werkingsprincipe helpt illustreren. Het schema laat een 16-bits decoder zien. Deze 16 bits decoder wordt gevormd door twee kolommen met sub-decoders, gescheiden door flipflops. Als de enable ingang van een sub-decoder laag is, zijn alle uitgangen altijd laag. Als de enable hoog is, werkt de sub-decoder zoals een gewone decoder. De enable van de sub-decoder in de eerste kolom is altijd 1. De ingangen van deze eerste sub-decoder zijn de hoogst-waardige bits van het (ongedecodeerde adres)ingangssignaal,  $a_2$  en  $a_3$ , en de uitgangen sturen de enables van de sub-decoders in de tweede kolom. De ingangen  $i_0$  en  $i_1$  van de 4 sub-decoders in deze tweede kolom zijn met elkaar verbonden zoals aangegeven in het schema, en worden gestuurd door de laagstwaardige bits van de ingang,  $a_0$  en  $a_1$ . De rechtopstaande rechthoeken zijn blokken flipflops, met links de ingangssignalen en rechts de corresponderende uitgangssignalen. De klok wordt aangesloten op  $F_1$  en  $F_2$ . Het principe is hier uitgelegd voor 2:4 sub-decoders, maar het is natuurlijk ook mogelijk om  $n:2^n$  sub-decoders te gebruiken voor  $n$  willekeurig.



- A. Deze decoder is natuurlijk uitbreidbaar, door meer kolommen toe te voegen. Hoeveel uitgangen kun je krijgen door twee kolommen toe te voegen? (Nota bene: een blok flipflops met de sub-decoders aan de uitgang daarvan telt als 1 kolom, het getoonde schema heeft dus 2 kolommen.)

**Antwoord 2A** De volgende laag (3<sup>e</sup> laag) kan 16 2:4 decoders krijgen, met  $16 \times 4 = 64$  uitgangen. De 4<sup>e</sup> laag 64 decoders met 256 uitgangen (Je moet natuurlijk ook extra ingangen toevoegen, etc)  
Er zijn i.h.a.  $4^L$  uitgangen en  $2L$  ingangen, met  $L$  het aantal lagen.)

Alternatieve manier om naar deze opgave te kijken is door de tekening te beschouwen als een 4:16 decoder, en het principe uit de tekening toe te passen door met 5 4:16 decoders een 8:256 decoder te maken. De twee niveaus 4:16 blokken hebben intern 4 niveaus 2:4 blokken.

- B. De schakeling kan ook werken als de flipflops weg gelaten worden, en de corresponderende in- en uitgangen van de flipflops doorverbonden worden. Dan zou je kunnen overwegen om ook het aantal 'lagen' (kolommen) van sub-decoders te verminderen door per sub-decoder meer bits te decoderen, en uiteindelijk zou je een enkele decoder (zonder sub-decoders) over kunnen houden zoals ze besproken zijn in opgave 1. Voor een  $n:2^n$  decoder met relatief veel ingangen (bijv.  $n = 32$ ) is dat geen goed idee. Bespreek de nadelen van (sub-)decoders met veel ingangen.

Antwoord 2B Enkele belangrijke nadelen:

(A)

- \* het totaal aantal transistoren is veel groter
- \* daardoor is oppervlak en dissipatie dynamische dissipatie ook veel groter
- \* ook de vertraging is veel groter, a.a. door de belasting op de voorgaande trap (stijgt exponentieel met aantal uitgangen) en de interne capaciteiten van de poort per uitgang (stijgt lineair met aantal uitgangen)

- C. Het schema laat een ellips met een vraagteken (?) zien. Leg uit hoe de invertors in deze ellips klok-skew problemen kunnen helpen voorkomen. Ga ervan uit dat de flipflops edge-triggered registers zijn.

Antwoord 2C

Wanneer er teveel positieve skew is tussen  $F_1$  en  $F_2$ , kan er zonder de invertors een hold-time fault ontstaan. De invertors maken de schakeling meer tolerant voor (positieve) skew.

By (A) van 2B:

Het totaal aantal poorten<sup>uitgangen</sup> is  $2^n$  met  $n$  het aantal ingangen, en per poort op z'n minst  $n+1$  transistoren (by pseudo CMOS) per stuk, dus totaal meer dan  $(n+1)2^n$  transistoren

By  $n = 32$  dus meer dan  $141 \cdot 10^9$

Het aantal transistoren stijgt exponentieel met het aantal uitgangen.