

Elektronische Schakelingen

Kwartaalentamen 4^e kwartaal, 12 juni 2001

Uitwerking

Opgave 1.

- $C_{\text{belasting}}$ en R_{on} van n,p transistor, die weer afhangt van W , L en ook V_{DD} , k' , V_{th} , etc. $C_{\text{belasting}}$ en R (direct of indirect) nodig voor goede score.
- Zelfde als 1a, maar C_{intern} i.p.v. $C_{\text{belasting}}$

$$c. \quad \frac{W_p}{L_p} = 6 \Rightarrow T_{\text{rise}10=90\%} = 2.2 \times \frac{31k\Omega}{6} \times C_{\text{intern}} = 150ns \Rightarrow C_{\text{intern}} = 13pF$$

Komt uit tabel 4.7 (R2)

Evt. middelen met $\frac{W_n}{L_n}$ voor t_{fall} , of één van de 2 kiezen.

$$d. \quad V_{\text{UIT_maz}} = V_{\text{DD}} - V_{\text{tn}}$$

$$V_{\text{UIT_miñ}} = |V_{\text{tp}}|$$

- B. Verzadiging. De drainzijdes van de transistoren vertonen geen inversie.

$$f. \quad I = \frac{\Delta Q}{\Delta t} = \frac{C\Delta V}{\Delta t} = \frac{100pF \times 1.7V}{150ns} = 1.1mA$$

Zie 1d, evt. V_{DD} nemen

$$g. \quad \text{Voor het betreffende werkgebied: } |I_D| = \left| k' \frac{W}{L} \frac{1}{2} V_{\text{GT}}^2 \right|$$

$$\text{n-mos: } 1.1 \times 10^{-3} = 115 \times 10^{-6} \times \frac{W_n}{L_n} \times \frac{1}{2} \times 0.57^2 \Rightarrow W_n = 60L_n = 15\mu m$$

$$\text{p-mos: } \dots\dots\dots 30 \times 10^{-6} \dots\dots\dots \Rightarrow W_p = 50\mu m$$

- A. Positieve ingang. Inverterende werking van eindtrap; samen met tweepoort moet tegenkoppeling ontstaan.

- Afmetingen:** De tweede schakeling kan kleinere transistoren hebben, want 2 poort kan grotere sturing geven door tegenkoppeling. Echter, de spanningszwaai is groter, dus grotere stroom nodig voor zelfde tijden.

Spanningszwaai: De tweede schakeling heeft een volledige spanningszwaai van 0- V_{DD}

Kortsluitstroom: Het tweede ontwerp heeft wel, het eerste geen kortsluitstroom

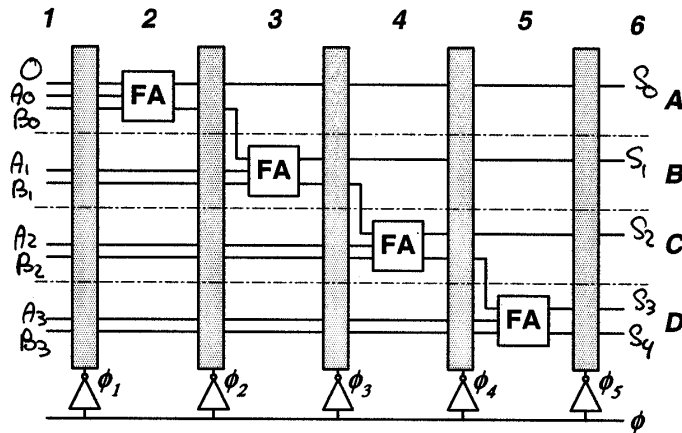
Opgave 2.

- B. $500\mu A$
- B. $7,5V$
- C. oneindig
- C. junctie-veldeffect transistor

- e. C. +2,5V en -2,5V
- f. C.
- g. A. 10Hz

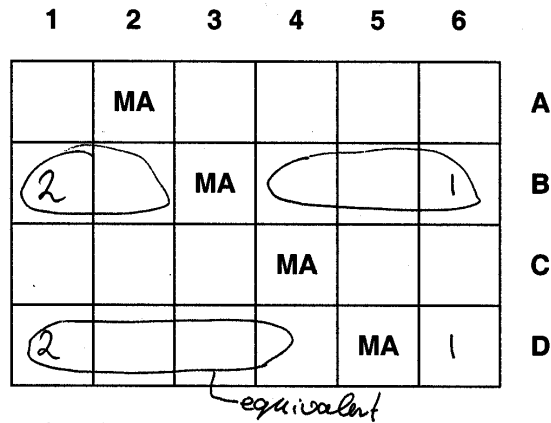
Opgave 3.

a.

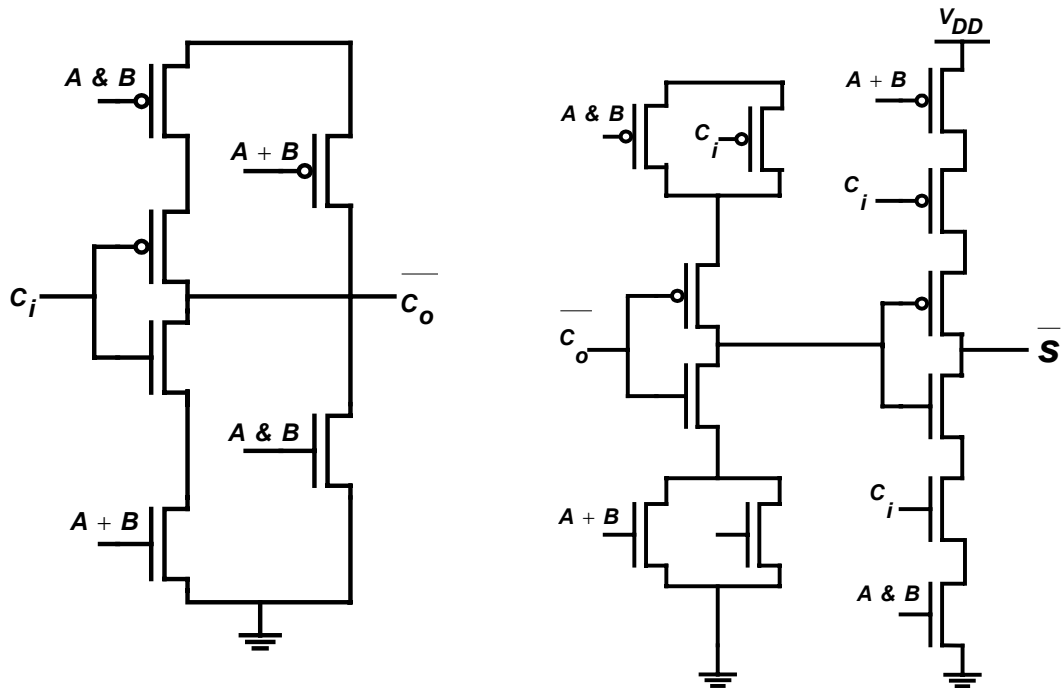


b.

- c. D. $\text{Max}(T_{\text{carry}}, T_{\text{som}})$
- d. B. ϕ_i en ϕ_{i+1} . Er is geen direct datatransport anders dan tussen flipflops die aangesloten zijn op naast elkaar liggende buffers/invertoren.
- e. C. Niet alleen bedrading, maar ook fan-out geeft belasting/vertraging van een poort/invertor/buffer. ϕ_{i+1} heeft kleinere belasting dan $\phi_i \Rightarrow$ kleinere vertraging, tegengesteld aan richting van data transport.
- f.



g.



- h. B. De somschakeling bevat 2 trappen die ook gescheiden zouden kunnen worden.
 i. Wanneer de aansluitingen voor $A_i \& B_i$ en $A_i + B_i$ in zowel de carry als de som schakelingen verwisseld worden, zijn er verder geen invertoren voor $\overline{A_i}$ en $\overline{B_i}$ nodig.