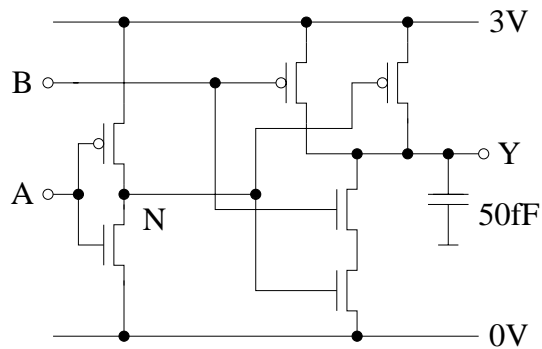
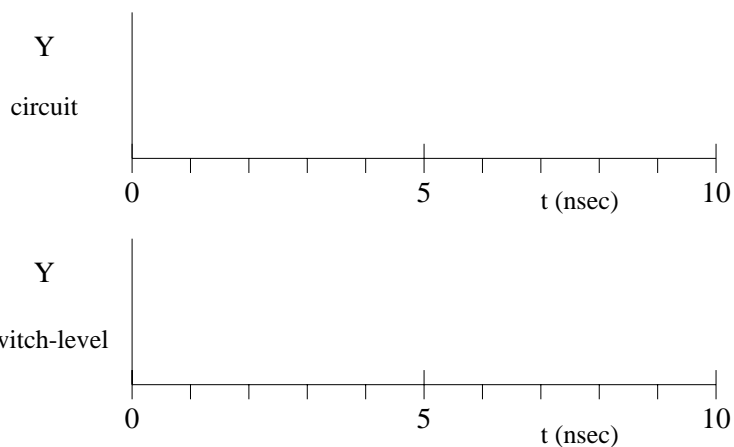


toets 2000-6

Gegeven de volgende schakeling. De vertragingstijden (de tijd tussen het moment dat de ingangsspanning de halve voedingsspanning bereikt en het moment dat de uitgangsspanning de halve voedingsspanning bereikt) zijn als volgt: van A naar N: 1 nsec, van B of N naar Y: 3 nsec.



Vraag 1: Gegeven is dat $V_B = 3V$ en dat op $t = 0$ nsec V_A van $0V$ naar $3V$ gaat. Teken bij benadering het uitgangssignaal voor Y als functie van de tijd voor zowel een circuit simulator als een switch-level simulator met timing informatie.



Vraag 2: Leg aan de hand van de vormen van de uitgangssignalen uit waarom een switch-level simulator minder tijd nodig heeft voor een simulatie dan een circuit simulator.

Vraag 3: Kruis voor elk van de volgende situaties aan wat de meest geschikte simulator is.

	circuit	switch-level	gate-level	functional
simulatie van een VHDL beschrijving				
simulatie van een beschrijving van een volledig uit de layout ge-extraheerde 32 bits vermenigvuldiger				
bepaling van de vertragingstijden voor een standaard cel				

Vraag 4 Geef 2 manieren om er voor te zorgen dat bij de samenvoeging van de layout van een bit-sliced datapad, de ruimte benodigd voor de bedrading zo klein mogelijk gehouden kan worden.

Vraag 5 Waarom is het toepassen van de 2 bovenstaande manieren om de ruimte voor de bedrading te minimaliseren minder belangrijk bij moderne schakelingen ?