

Syllabus Elektronische Schakelingen

Onderdeel Geïntegreerde Systemen ET1205-D2

Editie 2008 – 2009

Versie van 7 juni 2009.

Inleiding

Website: cas.et.tudelft.nl/~nick/courses/gs. Bevat laatste informatie, kopieën van de slides, verwijzingen naar relevante web-sites, etc. Aankondigingen komen op Blackboard, beide sites verwijzen naar elkaar. Er is ook een website die bij het boek hoort, zie het boek of de GS en blackboard sites.

Nota Bene 1

Het boek wat bij deze cursus hoort is de tweede editie (met groen-gele voorkant) van Rabaey, uitgave 2003. Hieronder kortweg aangegeven met “Rabaey” of “het boek”.

Nota Bene 2

Deze syllabus is bedoeld om samen met het web (bovengenoemde site, en Blackboard) gebruikt te worden. Blijf kijken op het web voor de nieuwste informatie, tot vlak voor het tentamen! Registreer je ook voor de cursus op BB, op die manier kun je o.a. de e-mail krijgen die eventueel verstuurd kan worden.

1. Hoe te studeren

Hoe word ik een succesvol (GS) student:

- **Bedenk dat de studielast te groot is om pas tijdens de witte weken te bestuderen.**
Je kunt alleen succesvol zijn op het tentamen als je de stof bijhoudt tijdens het college. Maak de oefeningen en de toetsen/tentamens van voorgaande jaren. En vraag hulp als je er niet uitkomt. Hier kun je de instructie op vrijdag voor gebruiken.
- **Weet dat ES geen gemakkelijk vak is.**
Dat komt niet zozeer door de hoeveelheid stof, of de ingewikkeldheid van de begrippen. Nee, bij ES worden bij de toetsen/tentamens ook vaardigheden verwacht op een hoger niveau. Naast toepassen van kennis (sometjes maken) wordt ook verwacht dat je tot op zekere hoogte verbanden kan zien in de gepresenteerde stof en deze kan analyseren, en dat je concepten kunt combineren en generaliseren. Je kunt deze vaardigheden alleen ontwikkelen door voldoende tijd te investeren.
- **Het tentamen is gesloten-boek met ‘cheat sheet’ (spiekbriefje).**
De tentamens/toetsen zullen meer op inzicht toetsen dan op weetjes. De hoofdbegrippen moeten gekend en begrepen worden. In deze syllabus staat voor ieder onderdeel een checklist/samenvatting van deze begrippen. De details hoeven niet onthouden te worden, die kun je noteren op je cheat sheet. Die maak je zelf, maar niet alles zal er op passen. Je kunt de cheat sheet pas effectief maken (en gebruiken) als je

de hoofdbegrippen kent en begrijpt! De formules uit Rabaey van de voorflap en achterflap worden beschikbaar gesteld.

- **Gebruik de studeerhandleiding en voor GS deze syllabus. Gebruik het web. Gebruik het forum.**
Deze vormen de *ontsluiting van het studiemateriaal*, een wegwijzer bij de zelfstudie. Op blackboard (blackboard.tudelft.nl) worden aankondigingen en documenten voor ES gepubliceerd. Op blackboard is ook een discussieforum. Er is een aparte site voor GS (cas.et.tudelft.nl/~nick/courses/gs). Blackboard en deze site zijn via elkaar te bereiken. Kijk hier regelmatig, ten minste een of twee keer per week.
- **Weet dat het volgen van de colleges niet toereikend is voor een goed resultaat.**
Je moet *zelf studeren*: lezen, herlezen, (proberen te) begrijpen, samenvattingen maken, oefeningen maken, meedenken, *verbanden leggen*, formules narekenen, schematische overzichten maken, etc. Studeren is een werkwoord. Het college geeft ook geen 100% dekking van de stof, bepaalde zaken kunnen overgeslagen worden om meer aandacht te geven aan andere. Het college presenteert ook vaak andere invalshoeken en verbanden die niet (duidelijk) in het studiemateriaal staan. Deze werken pas echt voor je als je tussen de colleges door de stof bijhoudt, en liefst ook vooruit leest.
- **Wees actief tijdens de colleges: denk zelf en denk mee.**
De docent weet het wel, hopelijk komt z'n verhaal een beetje logisch over. Dat is gevaarlijk: het lijkt dan gemakkelijk terwijl het misschien juist moeilijk is. Doe serieus mee met de vragen die de docent stelt en de opdrachten die hij geeft. Wees niet bang om een fout antwoord te geven: dat hoort bij leren en is dus normaal.
- **Wees zelf verantwoordelijk voor je voortgang.**
Zoek geen uitvluchten, bijvoorbeeld gebaseerd op gebrekkig studiemateriaal, late of slechte informatie, de Nederlandse Spoorwegen of de Deltse kamernood of <vul zelf aan>. Er zijn genoeg manieren om feedback te geven (o.a. het forum) en maak daar gebruik van. Wij willen heel graag van jullie leren hoe wij het onderwijs kunnen verbeteren. Laat dat echter geen excuus zijn voor 'niet willen roeien met de riemen die je hebt'. Zo slecht is het allemaal vast niet.
- **Houd je aan de volgende top drie:**
 1. zelf studeren
 2. zelf studeren
 3. zelf studeren

De rest van de top tien kun je zelf samenstellen aan de hand van deze syllabus.

2. Oefeningen

Er zijn diverse bronnen voor oefeningen:

1. De oefeningen op de college-sheets
2. De oefeningen die losbladig uitgedeeld werden om te maken tijdens het college. Ze worden gebundeld in de reader. Deze oefeningen zijn verder ook (als pdf) te vinden op de GS website.
3. De oefenopgaven die bij het boek horen, op de Rabaey website (met een kopie op de GS website). Bij de verschillende onderdelen hieronder wordt aangegeven wat geschikte oefeningen van de Rabaey set zijn.
4. De 'problems' uit het boek. Deze hebben een uitwerking achterin het boek. Ook hiernaar wordt verwezen in de beschrijvingen per hoofdstuk hieronder.
5. Oude tentamenopgaven. Er zijn veel oude tentamens te vinden op de GS website, in principe allemaal met uitwerkingen.

3. Te bestuderen stof

3.1. Globaal

Het college wordt opgedeeld in 10 modules. Dit wordt samengevat in onderstaande tabel, waarbij de laatste kolom een grof overzicht geeft van de bijbehorende stof uit de gedrukte tweede editie van het boek van Rabaey met groen-gele voorkant.

Module	Datum	Titel	BOEK
0		Introduction	1.1, 1.2, 1.4
1		Devices	3.1 – 3.3 niet 3.3.4, 3.3.5
2		Process	Chapter 2 (gedeeltelijk)
3		Interconnect	4.1 – 4.5, niet 4.3.3, 4.4.5, 4.5.2
4		Inverter	5.1 – 5.5
5		Combinational	6.1 – 6.3 (gedeeltelijk)
6		Sequential	7.1 – 7.4, 7.9
7		Timing	10.1, 10.3, 7.5 (alles gedeeltelijk)
8		Modularity	Chapter 11 (gedeeltelijk)

3.2. Gedetailleerd

Ter wille van de bestudering van de stof zullen wij het materiaal uit het boek in drie categorieën indelen.

Primair – bevat relevante informatie t.a.v. de leerdoelen van het vak.

Illustratie – deze stukjes combineren kennis van verschillende onderwerpen en tonen consequenties, mogelijkheden en/of maatregelen ter optimalisatie van bepaalde eigenschappen. Eventueel nieuwe toegevoegde kennis/theorie behoort in principe niet tot de leerdoelen.

Over slaan – geeft nieuwe kennis die buiten de leerdoelen valt.

De stukjes die als illustratie benoemd worden, kunnen bij een eerste bestudering wellicht overgeslagen worden, maar vormen aan de andere kant zeker een goede voorbereiding op de toetsen/tentamens en zijn behulpzaam bij het verdiepen van je inzicht m.b.t. dit vak in het algemeen. De werkwijzen zoals gepresenteerd in de illustraties horen echter uitdrukkelijk wel tot de leerdoelen, en zijn misschien zelfs wel het belangrijkste, niet alleen voor dit vak maar voor je ontwikkeling tot ingenieur in het algemeen. In principe zijn de meeste “Examples” ook illustratie, maar worden meestal niet expliciet zo benoemd.

Voor sommige onderdelen van het vak, wanneer het boek voor ons doel te diep op de stof ingaat, bevatten deze syllabus en de ppt slides alternatieve beschrijvingen en werkwijzen. Deze alternatieve stof behoort tot de primaire informatie t.a.v. de leerdoelen van het vak.

Ook dient opgemerkt te worden dat grens tussen en “primair” en “illustratie” enerzijds en “illustratie” en “over slaan” anderzijds soms enigszins arbitrair is, zodat het bijvoorbeeld voor kan komen dat in “ illustratie” toch enige nieuwe informatie t.a.v. de leerdoelen voorkomt.

Ten slotte dient opgemerkt te worden dat “illustratie” of “over slaan” niet inhoudt dat er geen toets/tentamen vraag gesteld kan worden over een zo geclassificeerd onderwerp. Vragen kunnen juist wel geïnspireerd zijn op iets wat als “illustratie” of soms ook als “over slaan” staat of had kunnen staan. De bedoeling van de vraag is dan dat je laat zien dat je genoeg inzicht hebt om bepaalde ‘nieuwe’ dingen te doen met de stof.

In het vervolg van deze studeerhandleiding zullen leeswijzers gegeven worden, die in tabelvorm de “primair”, “illustratie” en “over slaan” onderdelen aangeven met respectievelijk **P**, **I** en **O**. Deze leeswijzers worden in principe alleen gegeven voor de modules waar significante aansluitende stukken uit het boek de classificatie **I** of **O** krijgen.

3.3. Samenvatting

De samenvatting die bij de verschillende modules gegeven worden, kun je gebruiken als check-list voor je zelfstudie.

3.4. Oefeningen

- Sommige aanwijzingen hieronder zullen je niets zeggen voordat je de stof bestudeerd hebt. Dit is geen probleem, sla het in eerste instantie over en lees het wanneer je eraan toe bent.
- Oefeningen kun je vinden via de website van het boek, verder in deze syllabus wordt aangegeven welke oefeningen in het bijzonder relevant zijn.
- Zelf bepalen of je een oefening kunt doen, is al een goede oefening op zich.

- **Meestal zul je wel weten wanneer je een opgave begrijpt en wanneer je hem goed gemaakt hebt. Als je twijfelt, is dat een reden om de stof nog eens te bestuderen. Als je er dan nog niet uitkomt, is dat een reden om navraag te doen, bij de docent of op het forum.**
- In de tabellen die gegeven worden bij de verschillende modules volgen enkele suggesties voor opgaven. Cq refereert aan hoofdstuk q (Chapter q). X refereert aan oefening (exercise) op de website en P aan probleem in het boek. Voor de ‘problems’ worden de uitwerkingen achter in het boek gegeven.
- Ook de collegesheets bevatten regelmatig vragen of suggesties voor zelfstudie. Vergeet deze niet! De antwoorden worden tijdens het college getoond, maar bij de kopieën van de slides op de website zijn ze afgedekt (zwart kader).
- Sommige opgaven worden makkelijker naarmate je meer hoofdstukken bestudeerd hebt. Er kunnen ook opgaven zijn die hieronder niet genoemd worden maar die met een combinatie van kennis uit de verschillende hoofdstukken toch mogelijk worden.
- Het boek bevat geen opgaven, maar ze zijn beschikbaar via de website van het boek. Er staat een kopie van de opgaven op de website van GS, met geselecteerde antwoorden (niet de uitwerkingen). In het algemeen slaan we de onderdelen waar de SPICE simulator gebruikt wordt over.
- Verder bevat het boek een aantal ‘problems’, deze hebben een volledige uitwerking achterin het boek. Een voorbeeld is Problem 3.1 op bladzijde 111 van het boek. De uitwerking staat op bladzijde 739.
- Op de GS website zijn (bijna) alle oude tentamens verzameld, in principe allemaal met volledige uitwerking.
- Tijdens het college zijn steeds oefenopgaven uitgedeeld, en in het college gemaakt. Deze oefenopgaven zijn ook te vinden op de GS website, en in de reader.

3.5. Literatuur

Extra literatuur wordt aangegeven in het boek (pp. 32-33). Aanbevolen worden ook

- W. Wolf, Modern VLSI Design – Deep Submicron Systems, 3rd edition, Prentice Hall, 2003, ISBN 0-13-061970-1 (of eventueel de 2e editie: Modern VLSI Design – Systems on Silicon, 2nd edition, Prentice Hall, 1998, ISBN 0-12-989690-2)
- N.H.E. Weste, K. Eshraghian, Principles of CMOS VLSI Design – A Systems Perspective, 2nd edition, Addison Wesley, 1992, ISBN 0-201-53376-6
- Neil H.E. Weste, David Harris, CMOS VLSI Design : A Circuits and Systems Perspective, 3rd edition, Addison Wesley, 2004, ISBN: 0321149017

- S. Kang, Y. Lebleblici, CMOS Digital Integrated Circuits – Analysis and Design, 2nd edition, McGraw-Hill, 1999, ISBN 0-07-292507-8
- Harry Veendrick, Deep Submicron CMOS ICs – From Basics to ASICs, Kluwer, 1998, ISBN 90-557-612-81
- J. P. Uyemura, Introduction to VLSI Circuits and Systems, Wiley, 2002, ISBN 0-471-12704-3

Wolf is het meest systeem-georiënteerd, met weinig elektronica, Veendrick is precies andersom. Van deze laatste is er ook nog een (oudere) Nederlandstalige versie. Weste en Eshragian is achterhaald v.w.b. de technologie, maar veel systeem aspecten blijven geldig. De derde editie van dit boek (met Harris als co-author) is helemaal bij de tijd. De stof in Kang komt aardig overeen met die in Rabaey, maar Rabaey is meer behulpzaam bij het ontwikkelen van een intuïtie in het beoordelen van het relatieve belang van en het werken met bepaalde effecten. De rol van abstractie en modelleren komt in Rabaey duidelijker tot uiting. Uyemura heeft ongeveer dezelfde breedte als Rabaey, maar is veel oppervlakkiger, helemaal bij de latere hoofdstukken.

3.6. Katz en DeCarlo/Lin

De boeken van Katz en DeCarlo/Lin worden gebruikt voor respectievelijk ET1405, Digitale Systemen en ET1305, Lineaire Elektrische Circuits. Het zijn belangrijke bronnen van voorkennis (en voor het opzoeken van dingen die je weer vergeten bent ☺).

3.7. Storey

Dit boek wordt gebruikt voor ET1205-D1. De gebruikte FET modellen (en terminologie) zijn een beetje anders. Echter, je zou in staat moeten zijn om die verschillen te overbruggen bij het gebruik van de aangeboden stof. Het gaat bij ET1205-D2 voornamelijk over de eigenschappen van een FET als schakelaar, waarbij eigenlijk uitsluitend met MOSFETs gewerkt wordt. Verder is het klein-sigitaal gedrag minder van belang, en gaat het meer om de stroomformules, in het bijzonder bij (zeer) korte kanalen. Dan wordt bijvoorbeeld het velocity-saturation effect vaak bepalend voor de totale geleverde stroom. Dit is van minder belang voor analoge schakelingen.

4. Module 0 – Introductie en Motivatie

Dit onderdeel wordt behandeld aan de hand van hoofdstuk 1 van de tweede editie, met belangrijke aanvullende informatie in de college presentatie / hand-outs. Van hoofdstuk 1 wordt de sectie ‘Quality Metrics of a Digital Design’ echter pas behandeld bij module 4 – inverter.

4.1. Samenvatting

1. Begrip van de explosieve ontwikkeling van het gebied van de micro-elektronica.
2. Abstractie en modellering als een middel om de complexiteit van VLSI, zowel wat betreft grootschaligheid als wat betreft details, te hanteren.
3. Introductie van basis terminologie.

4.2. Leeswijzer

P	1.1	A historical Perspective	4 – 6
P	1.2	Issues in Digital Integrated Circuit Design	6 – 15
(1)	1.3	Quality Metrics of a Digital Design	15 – 31

(1) Wordt behandeld bij module 4

4.3. Oefeningen

College-oefeningen. Veel oefeningen zijn er verder niet voor deze module, maar je kunt je begrip voor de ‘aard van het beestje’ vergroten door te kijken in het materiaal onder §1.5 ‘To Probe Further’ van het boek, of op het internet diverse nuttige sites te bezoeken. Hiervoor kun je de links van de site van het vak als startpunt gebruiken. Zie ook de oefeningen op de site van het boek, evenals de oefeningen op de slides (tijdens college).

5. Module 1 – Devices

Module 3 wordt bestudeerd aan de hand van hoofdstuk 3 van Rabaey.

5.1. Leeswijzer

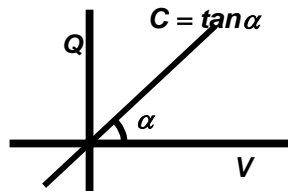
C	3.1	Introduction	74
P	3.2-3.2.1	A first glance at the diode	74 – 77
P	3.2.2	Static Behavior	77 – 80
O	3.2.3	Dynamic, or Transient, Behavior	80 – 83 (1)
O	3.2.4	Secondary Effects	84 – 85
O	3.2.5	Spice Diode Model	85 – 87
P	3.3 – 3.3.2	The MOS(FET) Transistor	87 – 99
O		Subthreshold Conduction	99 – 101
P		Models for Manual Analysis	101 – 106
O	3.3.2	Dynamic Behavior, etc.	106 – 113 (1)
P		Junction Capacitances	110 – 111
O	3.3.3	Some Secondary Effects	114 – 117
O	3.3.4	Spice Model for the MOS Transistor	117 – 120

O	3.4	A word on process variations	120 – 122
I	3.5	Perspective: Technology Scaling	122 – 128
P	3.6	Summary	128 – 129

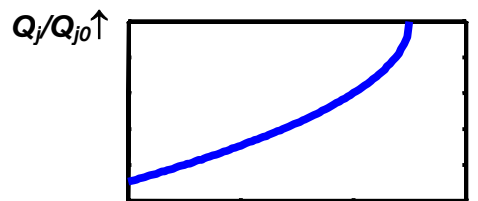
(1) Wij zullen (zie hieronder) een vereenvoudigd model voor de capaciteiten van diodes en MOS transistoren beschouwen. Zie hieronder, sectie 4.2 en 4.3. Primaire leerstof.

5.2. Equivalente Groot-Signaal waarden voor CMOS junctie capaciteiten

Zoals je in de secties over dynamische eigenschappen van de diode (Rabaey §3.2.3) en de MOS FET (3.3.2) zou kunnen lezen, zijn veel belangrijke capaciteiten (condensatoren) in CMOS structuren niet-lineair. Dit geldt m.n. voor de source- en drain junctiecapaciteiten. Bij een lineaire capaciteit is het verband tussen lading en spanning een rechte lijn, en bij een niet-lineaire capaciteit is dat verband gekromd. Zie onderstaande figuren.



lineair



Niet-lineair

Het meenemen van zulke niet-lineariteiten bij de (handmatige) analyse van het dynamische gedrag (vertraging etc.) is niet eenvoudig. Daarom wordt in veel gevallen volstaan met een lineaire benadering van de niet-lineaire elementen. Deze kan bijvoorbeeld verkregen worden door het middelen van een soort effectieve capaciteit over het totale bereik van de spanning over het device. Dat betekent dat eerst de spanningszwaai bekend moet zijn, en daarna gemiddeld kan worden. De spanningszwaai kan afhankelijk zijn van de situatie, de schakeling, de omgeving, etc. Voor onze doelstelling zullen we hier niet precies zijn. We nemen een soort algemene, typische spanningszwaai en bepalen daar de gelineariseerde capaciteitswaarden mee.

Ook zullen we in dit college niet verder ingaan op de fysische analyse van de capaciteiten. Het model dat we zullen hanteren is niet bepaald nauwkeurig, maar wel bruikbaar als eerste benadering. Voor meer nauwkeurigheid kan een verfijndere analyse gedaan worden (zie het boek) of een simulator zoals SPICE gebruikt worden.

Het model dat we dan hanteren is als volgt:

$$C_{eq} = \frac{\Delta Q_j}{\Delta V_d}$$

Hierbij duidt ΔQ_j het verschil in junctie lading aan tengevolge van een verschil in aangelegde spanning ΔV_d , anders gezegd

$$C_{eq} = \frac{Q_j(V_{high}) - Q_j(V_{low})}{V_{high} - V_{low}}$$

Hierbij zijn V_{high} en V_{low} de verschillende aangelegde spanningen.

Merk op dat we eigenlijk alleen over een diode- of junctiecapaciteit kunnen spreken wanneer de diode in sper staat ingesteld. Dat is voor de source/drain juncties van MOS transistoren doorgaans het geval.

Merk ook op dat $\lim_{\Delta V_d \rightarrow 0} \frac{\Delta Q_j}{\Delta V_d}$ de zogenaamde differentiële of klein-sigitaal capaciteit

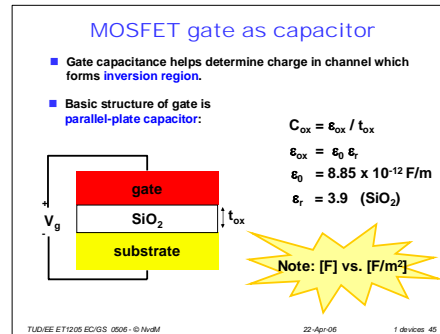
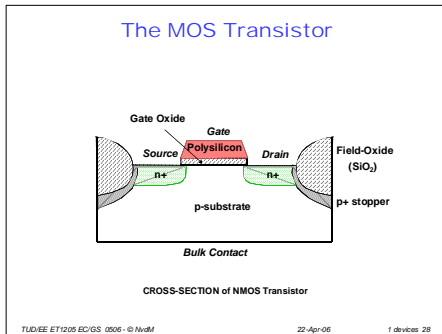
voorstelt, de hellingshoek van de Q_j versus V_d grafiek. Deze waarde is vaak belangrijk bij analoge schakelingen. Bij digitale schakelingen kijken we normaal gesproken naar het groot-sigitaal gedrag, wat dus hier de reden is om te werken met een gelineariseerde waarde.

Voor de opgaven/ontwerpen/toetsvragen die we tegen zullen komen zullen we dus een (gelineariseerde), effectieve groot-sigitaal capaciteit als gegeven beschikbaar stellen.

Deze capaciteiten worden doorgaans gegeven als een C_j en C_{jsw} waarde, je moet deze waarden dan vermenigvuldigen met resp. de oppervlakte en de omtrek van het gebied om de totale diffusiecapaciteit te krijgen. Zie het kopje 'Junction Capacitances' op blz. 110, tot aan Problem 3.1. Formule 3.45 moet je zeker kunnen toepassen, maar die is niets anders als de formule die we ook zullen gebruiken voor interconnectcapaciteiten (Module 3).

5.3. Transistorcapaciteiten

De onderstaande slides illustreren dat een MOS transistor als een condensator werkt, waar de gate de ene elektrode ('plaat') vormt en het kanaal of het substraat (als de transistor in 'cut-off' mode is) de andere elektrode vormt, en het gate-oxide het dielectricum. Het model wat wij gaan hanteren voor de gate capaciteit is een lineaire capaciteit naar ground (aarde). De grootte van deze capaciteit wordt gegeven door het product van de gate-afmetingen (L en W van de transistor) en de C_{ox} . De C_{ox} is een technologie-parameter, en is voor een $0.25\mu\text{m}$ technologie in de orde van grootte van $6\text{fF}/\mu\text{m}^2$. Dus, $C_{gate} = LWC_{ox}$.



De source en drain gebieden van een transistor zijn p/n juncties, waarvoor we zoals in de vorige paragraaf is uitgelegd, een gelineariseerde capaciteit gebruiken.

5.4. Oefeningen

College-oefeningen. Geschikte opgaven (zie de website van het boek, ook beschikbaar op de GS site), HS 3: opgaven 1 (c optioneel), 2 (met d), 3, 6-10, 11 (alleen a en c), 12. Zie verder de college-oefeningen op de slides.

6. Module 2 – Process

Module 3 wordt bestudeerd aan de hand van hoofdstuk 2 van Rabaey.

6.1. Leeswijzer

P	2.1	Introduction	36
P	2.2 – 2.2.2	Manufacturing CMOS Integrated Circuits	36 – 41
P	2.2.3	Some Recurring Process Steps	41 – 42
P	2.2.4	Simplified CMOS Process Flow	42 – 44
I	2.3	Design Rules	47 – 50
I	2.4	Packaging Integrated Circuits	51 – 61
I	2.5	Perspective - Trends in Process Technology	61 – 64
P	2.6	Summary	64
I	Insert A	IC Layout	67 – 71

6.2. Oefeningen

Zie hiervoor de tussentoetsen April 2001 en April 2002 op de GS website, alsmede de college-oefeningen op de slides en de extra oefenopgaven op de website.

7. Module 3 – Interconnect

Dit onderdeel wordt bestudeerd aan de hand van hoofdstuk 4 van het boek.

7.1. Leeswijzer

P	4.1	Introduction	136
---	-----	--------------	-----

P	4.2	A First Glance	136 – 138
P	4.3	Interconnect Parameters	138 – e.v.
O		So far we have (onder example 4.2)	147 – 148
O	4.3.3	Inductance	148 – 150
P	4.4	Electrical Wire Models	150 – 156
I	4.4.4	Distributed rc line	156 – 159 (1)
O	4.4.5	The transmission line	159 – e.v.
O	4.5	Spice wire models	170 – 171
I	4.5.3	Perspective: a look into the future	171 – 174

(1) Wij zullen (zie hieronder) een alternatieve beschouwing geven voor de vertragingstijd van signalen in verdeelde RC netwerken. Deze alternatieve beschouwing is primaire leerstof.

7.2. Verdeelde RC-netwerken: Symmetrische π Secties

De Elmore-delay techniek wordt uitgelegd in §4.4.3 van het boek en op de ppt slides. Voor verdeelde RC lijnen van §4.4.4 gebruikt het boek een andere berekeningswijze. Echter, men kan afleiden dat de Elmore delay techniek ook gebruikt kan worden voor verdeelde RC lijnen en verdeelde RC trees, wanneer ieder segment van een RC-tree vervangen wordt door een symmetrische π -sectie. Dit is de aanpak die op de slides wordt uitgelegd en die wij voor deze cursus zullen hanteren.

Wanneer ieder verdeeld RC segment wordt vervangen door een symmetrische π sectie is het resultaat dat we alleen hoeven te werken met lumped RC trees. Verder hebben we op de slides afgeleid dat voor het berekenen van de Elmore-delay tussen source en sink de weerstanden die niet in het pad zitten op nul gesteld kunnen worden waardoor een zogenaamde RC ladder ontstaat, en dat dan de som (over alle knopen) genomen wordt van de RC produkten waar C de capaciteit is van een knoop en R de weerstand van die knoop naar de bron.. De algemene formule is

$$T_{Di} = \sum_{k=1}^N R_{ik} C_k$$

waar T_{Di} de delay voorstelt van de ‘source’ (bron) naar de ‘sink’ (knoop i), zijnde het punt waarvan de Elmore delay gevraagd wordt, R_{ik} de weerstand is van het gemeenschappelijke deel van het pad naar de bron tussen knoop i en k, en C_k de capaciteit van knoop k.

De 2 ppt slides hieronder zijn het meest representatief voor deze techniek, ze vatten de formule samen, en geven voorbeelden voor berekening (en ook oefeningen).

Elmore Delay for RC ladders

■ Define: $T_{Di} = \sum_{k=1}^N R_{ik} C_k$

■ $T_{D1} = R_{11}C_1 + R_{12}C_2 + R_{13}C_3 = R_1C_1 + R_1C_2 + R_1C_3$

■ $T_{D3} = R_{31}C_1 + R_{32}C_2 + R_{33}C_3 = R_1C_1 + (R_1 + R_2)C_2 + (R_1 + R_2 + R_3)C_3$

■ $T_{D2} =$

Elmore Delay

We will use $0.69 \times T_{di}$ as approximation of wire delay ($t_{50\%}$)

TUDEE ET1205 ECGS 0506 - © NvdM 23-Apr-06 3 Interconnect 29

Elmore Delay for Tree Structures

■ Replace RC lines by π -sections

■ Given observation node i , then only resistances along the path from input to node i can possibly count

■ Make others zero

■ Compute as if RC ladder

Exercise: Compute $T_{D1}, T_{D2}, T_{D3}, T_{D4}$

$T_{D3}?$

TUDEE ET1205 ECGS 0506 - © NvdM 23-Apr-06 3 Interconnect 34

7.3. Oefeningen

College-oefeningen. Zie de website, opgaven behorende bij HS 4: 1, 2 (alleen a en b), 3, 4a, 7, 12, 13. Verder de college-oefeningen op de slides.

8. Module 4 – Inverter

Dit wordt behandeld met hoofdstuk 5 van Rabaey, aangevuld met §1.3 van Rabaey.

8.1. Leeswijzer

P	5.1	Introduction	180
P	5.2	The Static CMOS inverter - intuitive	181 – 184
P	1.3.2	Functionality and Robustness	18 – 27
P	5.3	Evaluating the Robustness ...	184 – 191
I	5.3.3	Robustness Revisited	191 – 193
P	1.3.3	Performance	27 – 30
I	5.4	Performance of the CMOS inverter	193 – 213 (1)
P	1.3.4	Power and Energy Consumption	30 – 31
I	5.5	Power, Energy, and Energy-Delay	213 – 223
O	5.5.2	Static Consumption	223 – 225
O	5.5.3	Putting it All Together	225 – 227
O	5.5.4	Analyzing Power Consumption using SPICE	227 – 229
O	5.6	Perspective: Technology scaling...	229 – 231
P	5.7	Summary	232 – 233

(1) Het model dat wij zullen hanteren voor de capaciteiten in een CMOS inverter is veel eenvoudiger dan in het boek. Zie hieronder, en de discussie bij module 2, devices. Primaire leerstof.

7.2 Alternatieve beschouwing van CMOS inverter performance

Het gevolg van het rekenen met een eenvoudige, lineaire capaciteit van gate naar ground bij een MOS transistor is dat ook de ingangscapaciteit van een inverter eenvoudig wordt. De capaciteiten van de actieve gebieden (drain en source) worden ook gelineariseerd (zie module 4) en uitgerekend alsof het interconnect capaciteiten zijn, met een term die evenredig is aan de oppervlakte en een term die evenredig is aan de omtrek.

8.2. 7.3 Oefeningen

College-oefeningen. Zie de website, opgaven voor HS 5: 1(a+c), 2b, 3 (behalve Spice simulatie), 4, 5, (a+c+d), 6, 7, 8. Zie ook de college-oefeningen op de slides.

9. Module 5 – Combinatorische Logica

Dit onderdeel wordt behandeld met hoofdstuk 6 uit Rabaey. De statische, complementaire CMOS poort is een veralgemening van de standaard inverter. Latere paragrafen beschrijven andere structuren voor het construeren van combinatorische poorten.

9.1. Samenvatting

1. Statische complementaire CMOS als veralgemening van standaard inverter, weten en begrijpen welke eigenschappen wel (zoals rail to rail swing, alleen dynamische dissipatie) overdragen, welke niet en welke nieuw zijn (zoals body effect).
2. Classificatie statisch – dynamisch.
3. Exclusiviteitsprincipe m.b.t. PUN en PDN.
4. Constructie van PUN en PDN met respectievelijk PMOS en NMOS transistoren, waarom.
5. Gegeven een transistortopologie de waarheidstabel (logische functie) kunnen bepalen.
6. Het kunnen construeren van een complexe poort voor een bepaalde logische functie, gegeven de waarheidstabel of booleaanse formule.
7. Dualiteit tussen PDN en PUN.
8. Onmogelijkheid van niet-inverterende poorten.
9. Aantal transistoren als functie van aantal ingangen.
10. Transistor sizing gebaseerd op equivalente R_{on} van een keten van transistoren, equivalente lange transistor met zelfde R_{on} .
11. Data-dependent delay door serie/parallel schakelen van transistoren, het bepalen van een equivalente R_{on} , het bepalen van de worst-case.
12. Kwalitatief begrip van 2^o orde effecten (interne capaciteiten, body effect, kortsluitstromen) als reden voor data-dependent timing, VTC en daarvan afgeleide eigenschappen, power.
13. Algemene afhankelijkheid van gate-delay van fan-in en fan-out, de wens tot vermijden van statische CMOS gates met hoge fan-in.
14. Kwalitatief begrip van schakelactiviteit (het gegeven dat de precieze schakelovergangen afhangen van inputsignalen) als mede bepalend voor de dissipatie.
15. Pseudo NMOS design stijl concept:
Consequenties voor dissipatie, dimensionering, VTC, aantal transistoren voor een logische functie (oppervlakte).
16. Pass-Transistor logic – grond beginselen:
Consequenties voor oppervlakte, VTC, cascadering.
17. Basis principes van dynamische logica:

Precharge fase, evaluatie fase, klok, geheugenwerking van de capaciteiten.

18. Consequenties:

Alleen NMOS transistoren in PDN bepalen snelheid, aantal transistoren, non-ratioed, geen statisch vermogen, hogere snelheid, V_{OL} , V_{OH} , V_M , NM_H , NM_L , V_{IL} , V_{IH} , oppervlakte.

Timing: precharge, bepalen van t_{PHL} .

19. Nut en noodzaak van evaluatie-transistor, kwalitatief begrip van logic activity voor de dissipatie.

9.2. Leeswijzer

P	6.1	Introduction	236
P	6.2	Static CMOS Design	236 – 237
P	6.2.1	Complementary CMOS	237 – 242
I		Propagation Delay of Complementary CMOS gates	242 – 249
I		Design Techniques for large fan-in	249 – 251
O		Optimizing performance in combinational networks	251 – 257
O		Power consumption in CMOS logic gates	257 – 263
P	6.2.2	Ratioed Logic	263 – 267
I		How to build even better loads	267 – 268
P	6.2.3	Pass-transistor basics	269 – 270
I		Example 6.10	271 – 272
O		Diversen	272 – 277
P		Solution 3: Transmission gate logic	277 – 280
I		Rest of § 6.2.3	280 – 284
I	6.3	Dynamic CMOS Design	
I	6.3.1	Dynamic Logic: Basic Principles	284 – 286
I	6.3.2	Speed and Power Dissipation of Dynamic Logic	287 – 290
I	6.3.3	Signal Integrity Issues in Dynamic Design	290 – 295
O	6.3.4	Cascading Dynamic Gates	295 – 303
O	6.4	Perspectives	303 – 306
P	6.5	Summary	306 – 307

9.3. Oefeningen

College-oefeningen. Oefeningen 6.1, 6.3a-b, 6.4, 6.5, 6.7, 6.8a, 6.10 van de website van Rabaey.

10. Module 6 - Sequential

Dit onderdeel wordt behandeld aan de hand van hoofdstuk 7 van Rabaey. De doelstelling van deze module is het bestuderen van CMOS/VLSI implementatie technieken van flip/flops en latches. Het item ‘pipelining’ wordt uitgesteld tot module 8 – timing design.

Voor extra uitleg kun je kijken op de site <http://www.play-hookey.com/digital/>. Deze bevat naast een uitleg ook een aantal interactieve animaties: een schema van een digitale schakeling met kleuren die de logische waarde aangeven en waarop je op de ingangen

kunt klikken om deze te veranderen. (Niet alleen flip-flops etc., maar ook gewone combinatorische poorten.)

10.1. Samenvatting

1. Verschil tussen voorgrond- en achtergrond geheugen.
2. Memory element timing parameters.
3. statische vs. dynamische geheugenwerking.
4. Regeneratie / positieve terugkoppeling als middel voor statische geheugenwerking.
5. Ladingsopslag als middel voor dynamische geheugenwerking.
6. Toepassingsmogelijkheden en beperkingen van statische en dynamische geheugenelementen, belangrijkste voordelen en nadelen van beide types t.o.v. elkaar.
7. Verschil tussen edge-triggered en level-sensitive devices, transparantie.
8. Set-up en hold requirements.
9. Master-slave principe.
10. Positieve / negatieve latches / edge-triggered registers.
11. Het bi-stabiliteitsprincipe, stabiele v.s meta-stabiele werkingpunten, lusversterking in stabiele en meta-stabiele punten, omschakelingsmechanisme.
12. Werkingsprincipe van S-R latch als basis bi-stabiel element.
13. Geklokte S-R latch (ratioed sizing issues).
14. Multiplexer – gebaseerde latches, transistorimplementatie, werkingsprincipe, transmissiongate vs. NMOS implementatie.
15. Multiplexer based master-slave register, timing property analysis.

10.2. Leeswijzer

P	7.1	Introduction	326 – 327
P	7.1.1	Timing Metrics for Sequential Circuits	327 – 328
P	7.1.2	Classification of Memory Elements	328 – 330
	7.2	Static Latches and Registers	330
P	7.2.1	The Bistability Principle	330 – 332
P	7.2.2	Multiplexer-Based Latches	332 – 333
P	7.2.3	Master-Slave Edge-Triggered Register	333 – 335
I		Timing Properties of Multiplexer-Based Master	335 – 339
O	7.2.4	Low-Voltage Static Latches	339 – 341
P	7.2.5	Static SR Flip-Flops — Writing Data by Pure Force	341 – 344
I	7.3	Dynamic Latches and Registers	344
I	7.3.1	Dynamic Transmission-Gate Edge-Triggered Registers	344 – 346
O	7.3.2	C ² MOS — A Clock-Skew Insensitive Approach	346 – 350
O	7.3.3	True Single-Phase Clocked Register (TSPCR)	350 – 354
O	7.4	Alternative Register Styles	354 – 358
(1)	7.5	Pipelining: An Approach to Optimize Sequential Circuits	358 – 360
(1)	7.5.1	Latch versus register based pipelines	360
O	7.5.2	NORA-CMOS A logic style for pipelined circuits	361 – 363

	7.6	Nonbistable Sequential Circuits	
P	7.6.1	The Schmitt Trigger	364 – 367
O	7.6.2	Monostable Sequential Circuits	367 – 368
I	7.6.3	Astable Circuits	368 – 370
O	7.7	Perspective: Choosing a Clocking Strategy	370 – 371
P	7.8	Summary	371 – 372

(1) §7.5 wordt als primaire stof behandeld bij module 7 – timing design

10.3. Oefeningen

College-oefeningen. Helaas kent dit hoofdstuk verder weinig bruikbare opgaven. Gelukkig helpen de oefeningen behorende bij modules 4 en 5 bij het begrip van module 6. Zie ook de oude examenopgaven met uitwerkingen, de opgaven op de collegesheets, de opgaven die in het college besproken zijn, en de ‘problems’ uit het boek.

11. Module 7 – Timing Design

Dit onderdeel wordt behandeld aan de hand van een klein gedeelte van hoofdstuk 10 van Rabaey, maar aangevuld met §7.5 t/m §7.5.1.

11.1. Samenvatting

1. Basis inzicht in timing design problemen bij VLSI systeem ontwerp
2. Inzicht in achtergronden van delay variaties.
3. Vertraging langs een RC lijn (van onbekende lengte) als bron van delay onzekerheid.
4. Weten wat synchroon ontwerpen inhoudt.
5. Gevolgen van klok skew voor synchroniciteit kunnen beoordelen.
6. Principe en belang van pipelining
7. Onderscheid kunnen maken tussen positieve en negatieve klok skew.
8. Timing regels voor klok skew in 1-fase edge-triggered en 2-fase master slave systemen begrijpen en kunnen toepassen.
9. Maatregelen tegen de gevolgen van klok skew (negatieve en begrensde skew en klok non-overlap periode vergroten) kunnen evalueren.
10. Behandelde principes van klok distributie voor lage skew begrijpen en beoordelen.

11.2. Leeswijzer

P	10.1	Introduction	492
I	10.2	Timing Classification	492 – 495
P	10.3.1	Synchronous Timing Basics	495 – 500
I		Clock Jitter	500
I		The combined impact of Skew and Jitter	501 – 502
I	10.3.2	Sources of Skew and Jitter	
I	10.3.3	Clock Distribution Techniques	
O	10.3.4	Latch-Based Clocking	516 – 518
O	10.4-10.7	Self-Timed Circuit Design – Future Directions	519 – 551
P	7.5 – 7.5.1 (!)	Pipelining	358-361

11.3. Oefeningen

College-oefeningen. Verder, niet het eenvoudigste: 10.3, 10.5, 10.6. Verder 13.a 1° deel (wat is het meta-stabiele punt). Zie verder de examenopgaven.

12. Module 8 – Modularity

Noot: in het studiejaar 2008-2009 wordt de stof uit §11.4 en §11.5 (de onderdelen ‘Multiplier’ en ‘Shifter’), niet getentamineerd

Een echte systeemniveau module, met een duidelijke interactie naar logisch, elektrisch en layout niveau wat het kenmerk is van geïntegreerd systeemontwerp, en een belangrijk verschil is met ‘gewoon’ digitale schakelingen. Wordt behandeld met hoofdstuk 11 van Rabaey.

12.1. Leeswijzer

P	11.1	Introduction	560
P	11.2	Datapaths in Digital Processor Architectures	560 – 561
P	11.3	The Adder	561
P	11.3.1	The Binary Adder: Definitions	561 – 564
P	11.3.2	The Full Adder: Circuit Design Consideration	564 – 578
I	11.3.2	Manchester Carry Chain Adder	568 – 570
O	11.3.3	The Binary Adder: Logic Design Considerations	571 – 586
P	11.4	The Multiplier	586
P	11.4.1	The Multiplier: Definitions	586 – 587
P	11.4.2	Partial-Product Generation	587 – 589
P	11.4.3	Partial-Product Accumulation	589 – 592
O		The Tree Multiplier	592 – 593
I	11.4.4	Final Addition	593 – 594
P	11.5	The Shifter	595
P	11.5.1	Barrel Shifter	595 – 596
P	11.5.2	Logarithmic Shifter	596
O	11.6	Other Arithmetic Operators	596 – 600
O	11.7	Power and speed trade-offs	600 – 618
P	11.8	Perspective: Design as a Trade-off	618 – 619
P	11.9	Summary	619 – 620

12.2. Samenvatting

1. Begrijpen dat VLSI ontwerp zich op meerdere niveaus afspeelt.
2. Belang van modulariteit, hiërarchie, regelmaat voor het ontwerpen van VLSI systemen, kennen van deze begrippen.
3. Implicaties van deze begrippen voor de verschillende ontwerpniveaus (zoals bit-slicing)
4. basiskennis van VLSI optellers, vermenigvuldigers en schuivers.
5. Ripple-carry adder, werking en opbouw (logisch).
6. Idem op transistorniveau, VLSI geoptimaliseerde implementatie.
7. Delay evaluatie van ripple-carry adder.
8. Elimineren van inverterende trappen in carry-pad.
9. Mirror-adder (transistor implementatie)
10. Array multiplier, carry-save multiplier
11. Kritieke paden in deze multipliers.
12. Rechthoekig floorplan voor deze multiplier, als voorbeeld van implicaties en mogelijkheden van regelmaat en modulariteit voor layout.
13. Shifter design: binair, barrel en logaritmische
14. Implicaties voor lay-out, Lay-out strategieën voor bit-sliced datapaden.
15. Ontwerpen als trade-off van diverse tegenstrijdige belangen en eigenschappen.
16. Het belang van regelmaat en herhaling bij het ontwerpen van VLSI systemen.
17. Optimaliseren op verschillende niveaus
18. Het begrip “kritiek pad” kennen en begrijpen, kritieke paden kunnen bepalen.

12.3. Oefeningen

College-oefeningen. Opgaven 11.1, 11.2, 11.3, 11.4, 11.13 en 11.15. Zie ook de oude examens met uitwerkingen.